



成都启英泰伦科技有限公司
Chipintelli Technology Co.,Ltd.

设计方案名称: CI1301/ CI1302/CI1303 低成本应用方案参考设计原理图

方案特点: CI1301/CI1302/CI1303单端麦克风输入, 播报音输出, 不支持AEC的低成本方案应用

应用场景: 追求低成本、可靠性要求不高, 且麦克风输入线路总长度小于20cm内的应用终端

更多资料参考我司官网: <https://document.chipintelli.com>

设计时间: 20230622

特别提示:

- 1、启英泰伦提供了全系列芯片的多种应用方案参考设计原理图, 可以满足多种应用的需求;
- 2、应用方案进行应用设计时, 需结合应用终端的系统特性和具体应用场景, 在启英泰伦提供的多种参考设计中, 选择最适合终端应用的设计方案进行参考和应用设计优化。
- 3、由于启英泰伦无法掌握所有终端产品的系统特性和应用需求, 终端产品在设计验证阶段, 均应注意阅读参考设计原理图中的应用说明和设计注意事项, 并与我司FAE人员保持充分的沟通。

ChipIntelli 成都启英泰伦科技有限公司
Chipintelli Technology Co.,Ltd.

Title : Front Cover

Size
B

Document Number
<Doc>

Rev
1.0

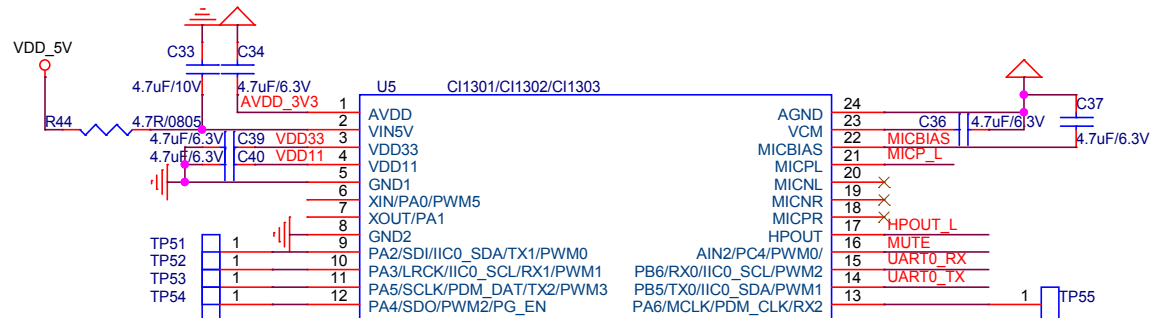
Date: Wednesday, June 28, 2023 Sheet 1 of 3

版本	修改记录	作者
V1.0	初版	启英泰伦

语音芯片电路

以下应用场景方可选用本设计方案:

- 1、无串口通讯和OTA功能需求、无需芯片输出高精度PWM、对系统主频精度无要求的应用方案
- 2、需要串口通讯的应用方案: 工作环境温度为-10°C~+70°C、且与上位机串口通讯的波特率≤115200bps
- 3、需要串口通讯的应用方案: 工作环境温度为-20°C~+85°C、且本方案与上位机均采用串口波特率自适应设计



- 1、Pin12管脚在芯片内部预置有3.3V上拉, 上电时系统将检测该管脚电平是否为3.3V高电平, 若是高电平且检测UART0管脚有升级信号, 芯片即进入升级模式。若该管脚外部接下拉电阻到地, 芯片上电时可跳过升级模式检测环节直接进入正常启动模式, 以实现系统的快速开机。
- 2、Pin6、7、16为模拟IO口, 不支持5V电平, 其余IO口均可支持开漏上拉至5V电平, 此时若需外接5V电平通讯, 则需匹配5V上拉电阻, 且需软件配置为开漏模式。具体配置方法请参阅设计指导文件《!!!重要Readme!!!.pdf》最新版本中的说明

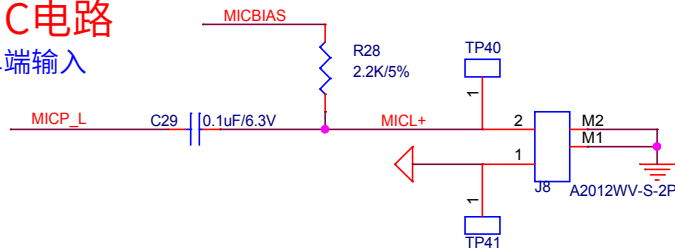
PCB设计要求:

- 1、Pin1-Pin4电源管脚的外接电容与对应管脚之间的走线长度不大于3mm, 宽度不小于0.3mm, 电容接地端与Pin5之间的接地回路走线长度不大于5mm
- 2、以下网络需预留测试点(喷锡工艺)以用于自动化测试, 测试点直径(边长)不小于1.5mm、间距不小于2mm: TX0、RX0、5V、GND、MICL+、SPK+、SPK-、PG_EN(Pin12)

以下应用环境, 方可选用本方案的单MIC单端输入设计:

- 1、应用环境没有电磁干扰源或噪音干扰源
- 2、麦克风输入线路总长度不超过20厘米

MIC电路 单端输入



软件默认的MIC配置为差分输入状态, MIC为单端输入设计需更改软件配置, 配置方法请参阅设计指导文件《!!!重要Readme!!!.pdf》最新版本中的说明

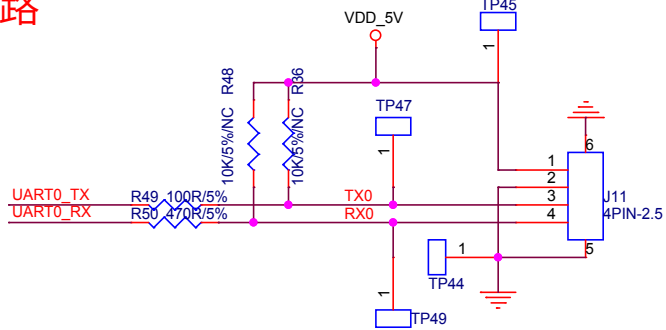
PCB设计要求(默认元件层为TOP层):

- 1、PCB布线时首先设计MIC线路走线, 要求走线路径顺畅, 最小化走线长度
- 2、MIC电路走线远离其它信号走线, 且线路全部在TOP层走线, 走线不换层
- 3、MIC走线两边包AGND地, 多层板MIC电路单元对面的BOTTOM层覆铜完整的AGND网络铜皮, 整个AGND覆铜区域不能有其它信号走线穿过



AGND与DGND的连接点放置在(BOTTOM层)靠近语音芯片的位置(若PCB为单层板设计, AGND与DGND以最短走线方式连接)

供电和串口电路



电路设计注意事项:

5V供电电压范围: 5V±10%, 纹波<300mV, 供电电流不小于500mA

PCB设计要求: 所有5V线路的走线宽度不小于0.5mm

串口电路设计注意事项

- 1、若本设计与上位机的主板为一体板设计, 或设计输出为贴片式语音模组, 则串口1用于通讯, 串口0预留为升级口
- 2、若本设计输出是一个独立的插件式语音模组, 则串口0用于通讯和升级, 串口1预留测试点用于输出打印信息
- 3、若UART1需外接上位机通讯, 则TX1串接100欧线路电阻、RX1串接470欧线路电阻
- 4、串口电平配置为5V: R48=10K、R36=10K, 且其软件配置需为OD模式
- 5、串口电平配置为3.3V: R48=NC、R36=NC, 且其软件配置需为推挽模式

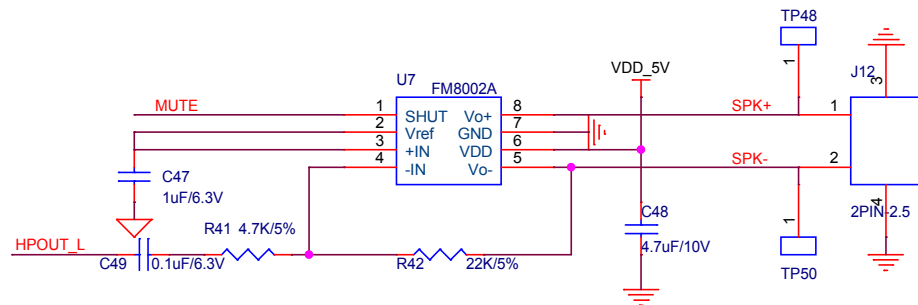
AB类功放电路

电路设计注意事项:

- 1、根据应用的需求, 选择适合的(数字或模拟)功放芯片, 并按照功放芯片对应的参考电路进行设计
- 2、MUTE信号根据功放型号选择上拉/下拉(上电需静音状态), CI130X芯片与此信号对应的管脚有内部上拉电阻, 因此无需再外加下拉电阻。若采用4890系列功放(低电平静音), 则需配置4.7K的接地下拉电阻

PCB设计要求:

- 1、若PCB为多层板, 功放电路单元区域放置不少于10个接地过孔, 以保证该单元电路的接地和散热性能
- 2、功放输出的音频信号走线宽度不小于0.5mm



CI1301/CI1302/CI1303低成本应用方案参考设计原理图

ChipIntelli 成都高美伦科技有限公司
ChipIntelli Technology Co., Ltd.

Title :Low cost application

Size	Document Number	Rev
Custom	<Doc>	1.0
Date:	Wednesday, June 28, 2023	Sheet 3 of 3