



成都启英泰伦科技有限公司
Chipintelli Technology Co.,Ltd.

设计方案名称: **CI1306典型应用方案参考设计原理图**

主要功能: 单麦差分麦克风输入, 扬声器输出播报音, 可选回声消除功能

应用场景: 适合需播报音应用和回声消除方案的通用产品

设计时间: **20230625**

更多资料参考我司官网: <https://document.chipintelli.com>

特别提示:


- 1、启英泰伦提供了全系列芯片的多种应用方案参考设计原理图, 可以满足多种应用的需求;
- 2、应用方案进行应用设计时, 需结合应用终端的系统特性和具体应用场景, 在启英泰伦提供的多种参考设计中, 选择最适合终端应用的设计方案进行参考和应用设计优化。
- 3、由于启英泰伦无法掌握所有终端产品的系统特性和应用需求, 终端产品在设计验证阶段, 均应注意阅读参考设计原理图中的应用说明和设计注意事项, 并与我司FAE人员保持充分的沟通。

ChipIntelli 成都启英泰伦科技有限公司
Chipintelli Technology Co.,Ltd.

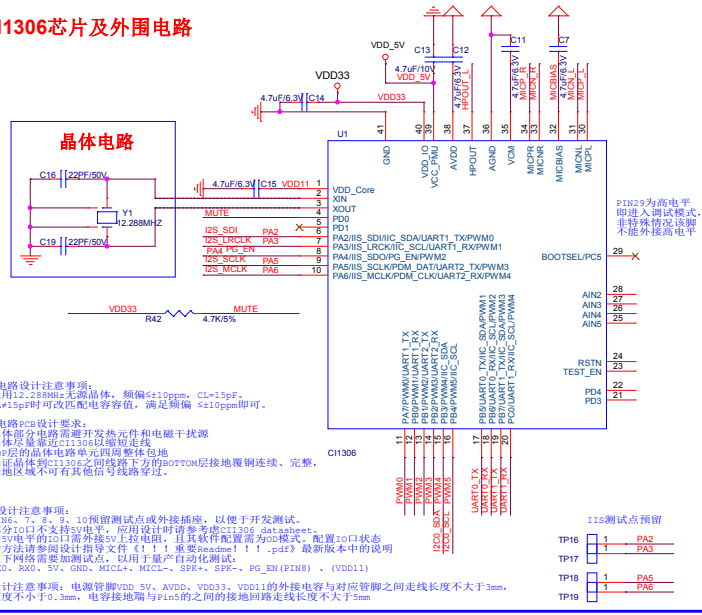
Title : Front cover

Size B	Document Number <Doc>	Rev 1.3
Date:	Wednesday, June 28, 2023	Sheet 1 of 3

版本	修改记录	修改时间	作者
V1.0	首版	2022.04.20	启英泰伦
V1.1	更新电源和AEC部分电路	2022.04.26	启英泰伦
V1.2	修改电源纹波要求	2022.09.04	启英泰伦
V1.3	RX线路串接电阻改为470欧， 功放输入信号参考地采用AGND	2023.06.25	启英泰伦

 成都启英泰伦科技有限公司 Chipintelli Technology Co.,Ltd.		
Title : Revision History		
Size A	Document Number <Doc>	Rev 1.3
Date:	Wednesday, June 28, 2023	Sheet 2 of 3

C11306芯片及外围电路



晶体电路

晶体电路设计注意事项:

1. 选用12.288MHz无源晶体, 频偏±10ppm, CL=15pF.
2. CL=15pF时可改匹配电容容量, 满足频偏 ≤10ppm即可.

晶体电路PCB设计要求:

1. 晶体部分电路需避免发热元件和电磁干扰源
2. 晶体旁需加C11306以缩短走线
3. TOP层的晶体电路单元四周整体包地
4. 保证晶体C11306之前侧下方的BOTTOM层接地覆铜连续、完整, 接地区域不可有其他信号线路穿越.

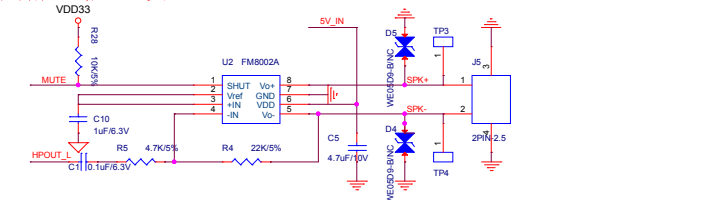
电路设计注意事项:

1. PIN29、7、8、9、10预留测试点或外接插座, 以便于开发测试.
2. 部分IO口不支持5V电平, 应用设计时请参考C11306_dataSheet.
3. 接5V电平的IO口需外接5V上拉电阻, 且其软件配置需为模式, 配置IO口状态的方法请参见设计指导文件《!!!重要Readme!!!.pdf》最新版本中的说明
4. 以下网络需要加测试点, 用于生产自动化测试:
TX0、RX0、5V、GND、MICL+, MICL-, SPK+, PG_EN(PIN8)、(VDD11)

PCB设计要求:

1. 电源管理脚VDD 5V、AVDD、VDD33、VDD11的外接电容与对应管脚之间走线长度不大于3mm, 宽度不小于0.3mm. 电容接地端与Pin5之间的接地回路走线长度不大于5mm

音频功放电路 (AB类)



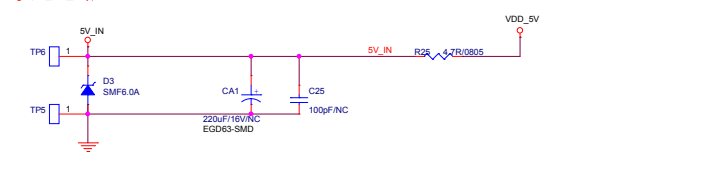
功放电路设计注意事项:

1. 根据应用的需求, 选择合适的(数字或模拟)功放芯片, 按照功放芯片对应的参考电路进行设计
2. MUTE信号根据功放型号选择上拉/下拉(上电静音状态), C11306芯片与此信号对应的引脚有内部上拉电阻, 因此无需再外加电阻. 若采用4300功放(低电平静音), 则需配置4.7K的接地下拉电阻

PCB设计要求:

1. 音频PCB为多层板, 功放电路单元区域放置不少于10个接地过孔, 以保证该单元电路的接地和散热性能
2. 功放输出的音频信号走线宽度不小于0.5mm

模组供电电路



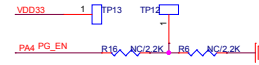
电路设计注意事项:

1. 5V供电电压范围: 5V±10%, 纹波<300mV, 供电电流不小于500mA
2. R25与D3组成浪涌保护电路, 不可省略
3. 若应用方案为PCC/CE认证需求, C25不可少
4. 输入电压纹波<300mV的情况下, 电容电阻CA1可省略

PCB设计要求:

1. TVS管D3和电容靠近5V电压的输入点放置
2. 5V线路所有走线的宽度不小于0.5mm

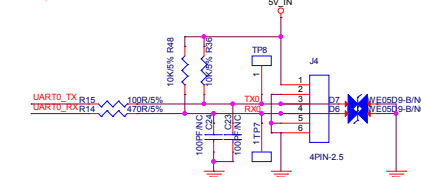
串口升级使能及快速启动电路



测试点放PCB BOTTOM层, 用于自动化升级功能实现

R6	R16	说明
	NC	上电升级使能状态, 上电时系统将检测PG_EN管脚是否配置为1.3V高电平, 若是高电平且默认升级串口UART0引脚有外部输入的信号, 即开始升级固件. 该状态启动时间为500ms, 适用于无快速开机需求的应用方案
2.2K	2.2K	上电即进入正常启动模式, 该模式下系统的启动时间约350ms, 适用于有快速启动需求的应用方案. (若设计方案有pcb组件贴片后再烧写C11306固件的要求, 可采用生产治具短接TP12和TP13, 以实现上电升级使能并烧写C11306的固件)

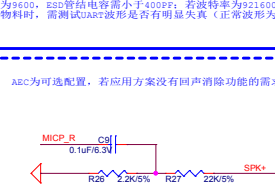
串口电路



串口电路设计注意事项:

1. 若本设计与上位机主板为一体板设计, 或其pcb模组为贴片式语音模组, 则串口1用于通讯, 串口0预留为升级口
2. 若本设计输出是一个独立的连接器语音模组, 则串口0用于通讯和升级, 串口1预留测试点用于输出打印信息
3. 若UART1需外接上位机通讯, 则UART1串接100Ω阻抗电路, 80S串接470Ω阻抗电路
4. 若本设计与上位机的主板为一体板设计, 或设计输出为贴片式语音模组, D6、D7可不NC
5. UART0电平配置为5V, R15=11K, R16=13K, 且其软件配置需为D0模式
UART0电平配置为3.3V, R15=NC, R16=NC, 且其软件配置需为推挽模式
若本设计的输出为插脚形式的语音模组, 则D6、D7不可NC
6. 若应用方案有EMI性能测试要求, 则C23和C24不可NC, 若没有测试要求则C23和C24可NC
7. 若应用方案有ESD、EFT性能测试要求, 则D6、D7不可NC, 若没有测试要求则D6、D7可NC

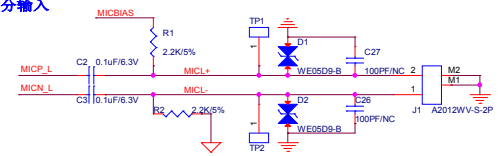
AEC反馈电路



AEC为可选配置, 若应用方案没有回声消除功能的需求, 则C9、R26、R27均可NC

MIC输入电路

单差差分输入



MIC输入电路设计注意事项:

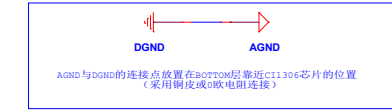
1. 采用单MIC输入的应用方案, C11306芯片默认MIC输入通道为MIC输入, 右MIC输入通道为ABC反馈输入通道(无ABC功能则MIC输入通道可直接接GND)
2. 在MIC输入端口处放置ESD器件, 可更好地保证方案的ESD性能

PCB设计要求 (默认元件层为TOP层):

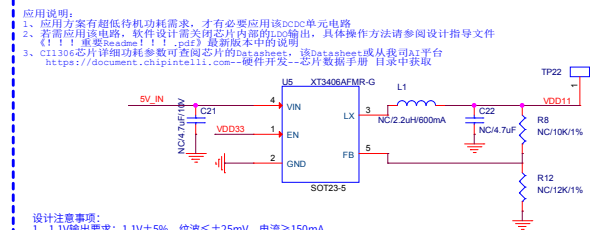
1. PCB布线时首先设计MIC线路走线, 要求走线长度尽量小, 走线线路顺畅
2. MIC线路走线远离其它走线, 且线路全部在TOP层走线, 走线不绕层
3. MIC走线两端包GND地, MIC电路下方的BOTTOM层包GND地
4. 若应用方案有国标标准的EMI性能测试要求, 则C26和C27不可NC, 若没有测试要求则C26和C27可NC

MIC输入电路PCB设计注意事项:

1. ESD二级管靠输入接口插脚放置, 走线路径先经过ESD, 再经过电容
2. 若ESD二级管与MIC信号线路之间需有导线连接, 则导线的宽度不小于20mil
3. 与ESD二级管连接板框的走线宽度不小于10µm
4. 应用方案如果设计有外接麦克风接口, 需有防止两个器件插脚接口的防呆设计



外部供电1.1V电压电路 (可选)



设计注意事项:

1. 1.1V输出要求: 1.1V±5%, 纹波≤±25mV, 电流≥150mA
2. DC-DC和电容器请在我的器件兼容列表范围内选用

PCB设计要求:

1. 滤波电容C21紧靠电源芯片引脚放置, 电容与芯片脚之间的走线不绕层
2. 保证DCDC电路单元下方BOTTOM层GND覆铜的完整性, 不可有信号线从该覆铜区域穿过
3. DCDC电路单元区域放置不少于10个接地过孔, 以保证该单元电路的接地和散热性能
4. 1.1V信号走线线路宽度不小于0.3mm

C11306典型应用方案参考设计原理图

