



成都启英泰伦科技有限公司
Chipintelli Technology Co.,Ltd.

设计方案名称: **CI1306双麦AEC应用方案参考设计原理图**

主要功能: **CI1306芯片双麦AEC (回声消除), 播报音输出**

应用场景: **语音识别率要求很高、有回声消除和播报音应用需求的终端应用方案**

更多资料参考我司官网: <https://document.chipintelli.com>

设计时间: **20230615**

特别提示:

- 1、启英泰伦提供了全系列芯片的多种应用方案参考设计原理图,可以满足多种应用的需求;
- 2、应用方案进行应用设计时,需结合应用终端的系统特性和具体应用场景,在启英泰伦提供的多种参考设计中,选择最适合终端应用的设计方案进行参考和应用设计优化。
- 3、由于启英泰伦无法掌握所有终端产品的系统特性和应用需求,终端产品在设计验证阶段,均应注意阅读参考设计原理图中的应用说明和设计注意事项,并与我司FAE人员保持充分的沟通。

ChipIntelli 成都启英泰伦科技有限公司
Chipintelli Technology Co.,Ltd.

Title : Front cover

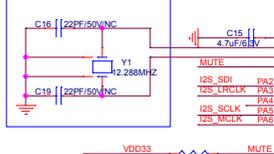
Size B	Document Number <Doc>	Rev 1.3
Date:	Wednesday, June 28, 2023	Sheet 1 of 3

版本	修改记录	修改时间	作者
V1.0	首版	2022.04.20	启英泰伦
V1.1	更新电源和 AEC部分电路	2022.04.26	启英泰伦
V1.2	修改电源纹波要求	2022.09.04	启英泰伦
V1.3	RX线路串接电阻改为470欧， 功放输入信号参考地采用AGND	2023.06.15	启英泰伦

ChipIntelli 成都启英泰伦科技有限公司 Chipintelli Technology Co., Ltd.		
Title : Revision History		
Size A	Document Number <Doc>	Rev 1.3
Date:	Tuesday, June 27, 2023	Sheet 2 of 3

CI1306芯片及外围电路

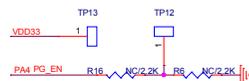
晶体电路



- 晶体电路设计注意事项:**
1. 电源管脚VDD 5V, AVDD, VDD33, VDD11的外接电容与对应管脚之间走线长度不大于3mm, 宽度不小于0.3mm, 电容接地端与Pins之间的接地回路走线长度不大于3mm.
 2. 选用12.288MHz无源晶体, 频偏<±10ppm, C1=15pF.
 3. C14电容可以改低电容容值, 满足频偏 <±10ppm即可.
- 晶体电路PCB设计要求:**
1. 晶体部分电路需避开发热元件和电磁干扰源
 2. 晶体及无源器件CI1306应紧贴走线
 3. TPO宏的晶体电路元件应整体包地
 4. 保证晶体到CI1306之间线路下方的BOTTOM层接地覆铜连续、完整, 铺地区域不可有其他信号线路穿过.

- 电路设计注意事项:**
1. 电源管脚VDD 5V, AVDD, VDD33, VDD11的外接电容与对应管脚之间走线长度不大于3mm, 宽度不小于0.3mm, 电容接地端与Pins之间的接地回路走线长度不大于3mm.
 2. F3302为高电平, 通过输入模式, 非特殊情况该脚不能外接高电平
 3. 部分IO口不支持高阻, 应用设计时参考文档CI1306 datasheet.
 4. 接5V电平的IO口需外接5V上拉电阻, 且其软件配置需为0模式.
 5. 以下网络需要加测试点, 以用于量产自动化测试: TX0, RX0, 5V, GND, MICL+, MICL-, MICR+, MICR-, SPK+, SPK-, PG_EN(PIN8), (VDD11)

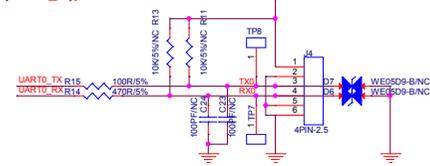
升级使能及快速开机电路



CI1306的升级接口为UART0.

88	814	说明
NC	8C	上电时先检测升级信号, 启动时间约850ms, 适用于无快速开机要求的应用方案
2.2K	2.2K	上电即进入正常启动模式, 启动时间约350ms, 适用于有快速启动要求的应用方案 (若产线有对模组编写固件的需求, 可短接TP12和TP13, 以实现上电时先检测升级信号并烧写固件)

串口电路

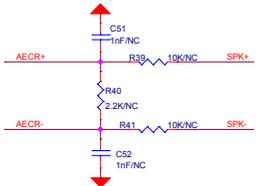


- 串口电路设计注意事项:**
1. 若本设计与上位机的主板为一体板设计, 或设计输出为板式语音模组, 则串口0用于通讯, 串口1预留为升级口
 2. 若本设计输出是一个独立的板操作式语音模组, 则串口0用于通讯和升级, 串口1预留测试点用于输出打印信息
 3. 若UART0外接10针串口, 则PCB需接10根线路电路, 4针共接10根线路电路
 4. 若本设计用于手机的板式设计, 或设计输出为板式语音模组, SPK+, SPK-不可NC
 5. 若本设计的输出为板操作式语音模组, 则D1+, D2不可NC
 6. 串口电平配置为3V, R1=10K, R13=10K, 且其软件配置需为0模式
 7. 串口电平配置为5V, R1=10K, R13=10K, 且其软件配置需为0模式
 8. 若本设计有ESD测试要求, 则C24, C24=0.5nF, 若没有ESD测试要求则不可NC
 9. 若本设计有ESD测试要求, 则C24, C24=0.5nF, 且其软件配置需为0模式
 10. 若本设计有ESD测试要求, 则C24, C24=0.5nF, 且其软件配置需为0模式
 11. 若本设计有ESD测试要求, 则C24, C24=0.5nF, 且其软件配置需为0模式
 12. 若本设计有ESD测试要求, 则C24, C24=0.5nF, 且其软件配置需为0模式

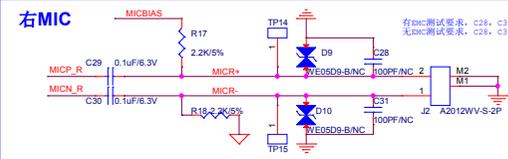
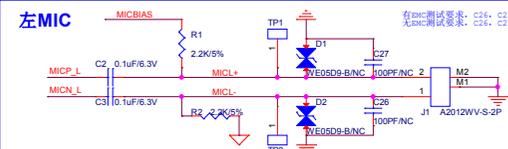
- ESD器件选用注意事项:**
1. 若串口0用于通讯, ESD管脚电容需小于25pF, 以满足升级要求.
 2. 若串口0用于通讯, 若波特率为9600, ESD管脚电容需小于400pF, 若波特率为231400, ESD管脚电容需小于30pF
 3. 方案开发阶段或ESD管脚替换物料时, 需测试UART0是否有明显失真 (正常波形为方波)

AEC反馈分压电路

AEC为可选配置, 若应用方案不需要AEC (回声消除) 功能, 则该部分电路器件均NC



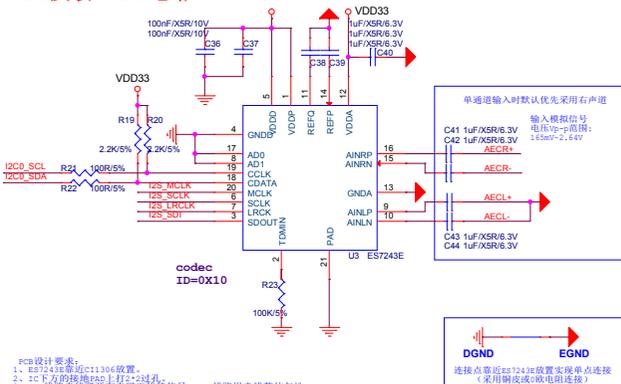
双MIC输入电路



- PCB设计注意事项:**
1. PCB布线时首先设计MIC线路走线, 要求走线路径顺畅, 最小化走线长度
 2. MIC电路走线远离其它走线, 且线路全部在TOP层布线, 走线不跨层
 3. MIC走线两边包AGND地, MIC线路下方的BOTTOM层需完整的AGND, 即覆铜区域无其他信号走线穿过
 4. D1+, D2+, D9+, D10靠近输入接口端子放置, 走线线路先经过ESD, 再经过电容
 5. ESD器件的接地网络附近至少3个接地孔以提供接地性能
 6. 应用方案需有防止麦克风风和扬声器接口插错的防呆设计
 7. 若因布局限制导致ESD二极管与mic信号线路之间需有导线连接, 则导线的宽度需不小于0.5mm

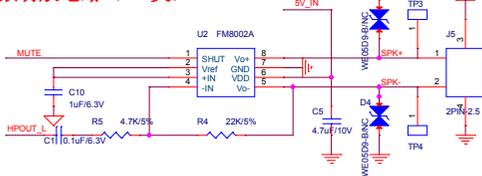


AEC反馈--ADC电路



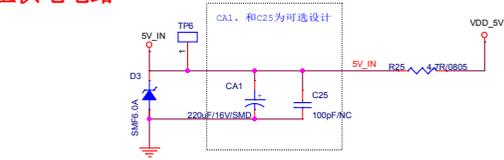
- PCB设计事项:**
1. ES7243E靠近CI1306放置.
 2. 应用该电路, ESD和电感优先选用我司兼容列表内的型号.
 3. 1.1V信号走线线路宽度不小于0.1mm

音频功放电路 (AB类)



- 电路设计注意事项:**
1. 根据应用的需求, 选择适合的 (数字或模拟) 功放芯片, 并按照功放芯片对应的参考电路进行设计
 2. MICB信号根据功放型号选择上拉/下拉 (上电前静音状态), CI1306芯片与此信号对应的管脚有内部上拉电阻, 因此上电前需加上拉电阻. 若应用4895系列功放 (低电平静音), 则需配置4.7n的接地下拉电阻
 3. 若应用方案有ESD测试要求, 则D4-, D5不可NC, 若没有ESD测试要求则不可NC
- PCB设计要求:**
1. 若PCB为多层板, 功放电路单元区域放置不少于10个接地过孔, 以保证该单元电路的接地和散热性能
 2. 功放输出的音频信号走线宽度不小于0.5mm

模组供电电路



- 电路设计注意事项:**
1. 5V供电电压范围: 5V±10%, 纹波<300mV, 供电电流不小于500mA
 2. R25与33Ω电阻共同保护电路, 不可省略
 3. 若应用方案无PCC/CC认证需求, C25可NC
 4. 输入电源纹波<300mV的情况下, 电解电容C21可NC
- PCB设计事项:**
1. TVS管D3和电容靠近5V电压的输入点放置
 2. 5V线路所有走线的宽度不小于0.5mm

外部1.1V DCDC供电电路 (可选)



- 应用说明:**
1. 应用方案有超低功耗需求, 才有必要应用DCDC单元电路
 2. CI1306芯片详细功耗参数请参考datasheet, 或向datasheet或从我司AI平台<https://document.chipintelli.com>一键开发-芯片数据手册 目录中获取
 3. 若应用该电路, 软件设计需关闭芯片内部的LDO输出, 具体操作方法请参考设计指导文件 (!!!重要Readme!!!.pdf) 最新版本中的说明
- 电路设计注意事项:**
1. 应用该电路, ESD和电感优先选用我司兼容列表内的型号.
 2. 1.1V电压输出规格要求: 1.1V±1%, 纹波不大于25mV, 电流150mA.
- PCB设计事项:**
1. 磁珠Z1靠近电源芯片管脚放置
 2. 保证DCDC电路单元下方BOTTOM层完整的AGND, 不可有信号走线从该覆铜区域穿过
 3. DCDC电路单元区域放置不少于10个接地过孔, 以保证该单元电路的接地和散热性能
 4. 1.1V信号走线线路宽度不小于0.1mm

CI1306双麦输入+AEC应用 (+低功耗设计) 应用方案参考电路图