

设计方案名称： CI1324X 高可靠应用方案参考设计原理图

方案特点： CI1324X芯片，单麦差分输入，支持播报音输出功能

应用场景：可广泛应用于有单麦输入、播报音输出需求的终端

更多资料参考我司官网：<https://document.chipintelli.com>

设计时间：

特别提示：

- 1、启英泰伦提供了全系列芯片的多种应用方案参考设计原理图，可以满足多种应用的需求；
- 2、应用方案进行应用设计时，需结合应用终端的系统特性和具体应用场景，在启英泰伦提供的多种参考设计中，选择最适合终端应用的设计方案进行参考和应用设计优化。
- 3、由于启英泰伦无法掌握所有终端产品的系统特性和应用需求，终端产品在设计阶段，均应注意阅读参考设计原理图中的应用说明和设计注意事项，并与我司FAE人员保持充分的沟通。

ChipIntelli 成都启英泰伦科技有限公司 <small>CHIPINTELLI TECHNOLOGY CO.,LTD.</small>		
Title : Front Cover		
Size B	Document Number <Doc>	Rev 1.3
Date: Tuesday, July 02, 2024		Sheet 1 of 3

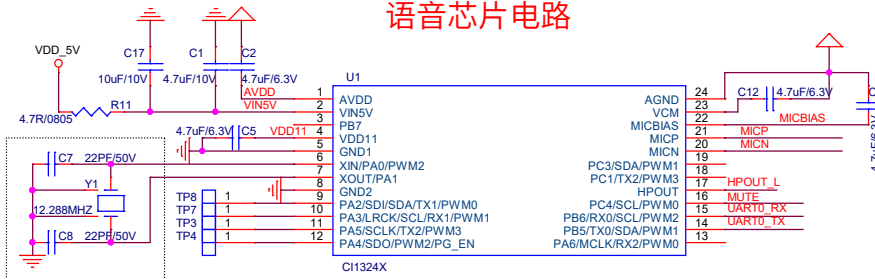
版本	修改记录	作者
V1.0	初版	启英泰伦

Title : Revision History

Size A	Document Number <Doc>	Rev 1.0
-----------	--------------------------	------------

Date: Tuesday, July 02, 2024 Sheet 2 of 3

语音芯片电路



常规应用使用芯片内部的RC振荡器, 以下环境需贴装外部晶体
1、高精度PWM输出 (如红外发射), 对系统主频精度有要求的应用。

设计注意事项

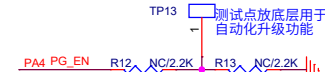
1、Pin12管脚在芯片内部有3.3V上拉, 上电判断为3.3V高电平芯片进入升级模式。
若该管脚接下拉电阻到地, 芯片上电时可跳过升级模式检测环节直接进入正常启动模式, 以实现快速开机

2、若需外接5V电平通讯, 则需匹配5V上拉电阻, 且需软件配置为开漏模式, 具体配置方法请参考设计指导文件《!!!重要Readme!!!.pdf》最新版本中的说明

3、Pin10、11、12为 LRLCLK、SCLK、SDO信号, 需预留测试点以便于语音调试

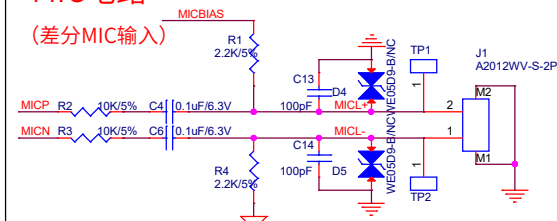
PCB设计要求:

- Pin1、Pin11、Pin4电源管脚的外接电容与对应管脚之间的走线尽量短
电容接地端与Pin5之间的接地回路走线长度不大于5mm
- 以下网络需预留测试点以用于自动化测试, 测试点直径 (边长) 不小于1.5mm, 间距不小于2mm: TX0、RX0、5V、GND、MICL+、MICL-、SPK+、SPK-、PG_EN



MIC电路

(差分MIC输入)



麦克风输入电阻R2/R3可以提高麦克风防静电能力, 高可靠性应用要求增加ESD器件。

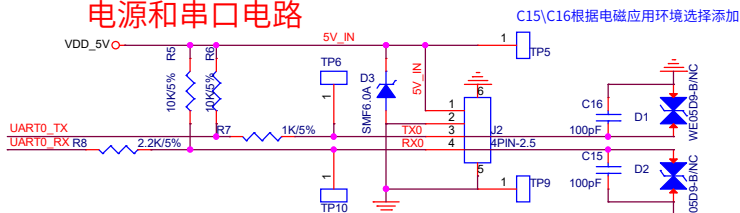
若采用屏蔽线麦克风, 请使用单端输入: R3=NC, C6=NC, R4=0R, 具体配置方法请参考设计指导文件《!!!重要Readme!!!.pdf》的说明
C13/C14根据电磁应用环境选择添加



PCB设计要求 (默认元件层为TOP层):

- PCB布线时首先设计MIC线路走线, 要求走线路径顺畅, 最小化走线长度
- MIC电路走线远离其它信号走线, 且线路全部在TOP层走线, 走线不跨层
- MIC走线两边包AGND地, 多层板MIC电路单元对面的BOTTOM层覆铜完整的AGND网络铜皮, 整个AGND覆铜区域不能有其它信号走线穿过

电源和串口电路



电源电路设计注意事项:

- 5V供电电压范围: 5V±10%, 纹波<300mV, 供电电流不小于500mA
- D3与R11组成浪涌防护电路, 且D3靠近连接器放置, 输入浪涌大于10V需安装

串口电路设计注意事项:

- 若本设计与上位机的主板为一体板设计, 或设计输出为贴片式语音模组, 则串口1用于通讯, 串口0预留为升级口
- 若本设计输出是一个独立的插件式语音模组, 则串口0用于通讯和升级, 串口1预留测试点用于输出打印信息
- 串口电平配置为5V: R5=10K、R6=10K, 且其软件配置需为OD模式
串口电平配置为3.3V: R5=NC、R6=NC, 且其软件配置需为推挽模式

TX串联电阻选型注意:

- 串口TX所串联的总电阻不大于1k, 若MCU端的RX有串电阻, 减小R7的值使得总电阻小于等于1K
- 样板需要上电测试UART波形是否有失真, 并测量TX的低电平, 需要低于600mV, 若TX的低电平高于600mV, 建议减小R7使得低电平低于600mV

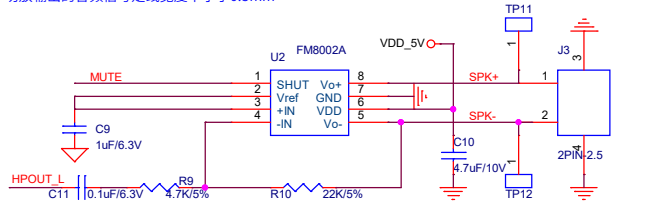
AB类功放电路

功放电路设计注意事项:

- 根据应用的需求, 选择适合的 (数字或模拟) 功放芯片, 按照功放芯片对应的参考电路进行设计
- MUTE信号根据功放型号选择上拉/下拉 (上电需静音状态), CI130X芯片与此信号对应的管脚有内部上拉电阻, 因此无需再外加下拉电阻。若采用4890功放 (低电平静音), 则需配置4.7K的接地下拉电阻

PCB设计要求:

- 若PCB为多层板, 功放电路单元区域放置不少于10个接地过孔, 以保证该单元电路的接地和散热性能
- 功放输出的音频信号走线宽度不小于0.5mm



CI1324X高可靠应用方案参考设计原理图

ChipIntelli 芯朋科技 (上海) 股份有限公司 Chipintelli Technology Co., Ltd.		
Title: Typical application		
Size Custom	Document Number <Doc>	Rev 1.0
Date: Thursday, August 15, 2024	Sheet 3 of 3	