CI3422 数据手册

超低功耗神经网络智能语音芯片



超低功耗的语音识别

- 宽电压供电、电压范围 2V～5.5V
- 安静环境 VAD 侦测电流小于 50uA
- 命令词识别状态电流 1mA～3mA

BNPU

- BNPU V4，支持 ASR，神经网络降噪算法，主动降噪算法（ANC）。
- 支持 CNN\TDNN\GRU\LSTM 及 Transformer 等神经网络及并行矢量运算，可实现高性能的语音识别和语音降噪等功能。
- 支持 sigmoid、softmax、tanh、relu、prelu、swish 等激活函数加速。
- 支持 FFT、矩阵、复数向量、三角函数、指数、对数等数学运算。

CPU 和存储器及其它资源

- 内置 RISC-V 内核，主频最高可达 49.152 MHz
- 内置 2MBytes Flash 存储器
- 内置 256KBytes SRAM
- 内置 256bit eFuse
- 内置独立一路看门狗

音频编解码和音频接口

- 一路高性能低功耗 audio ADC
- 两路 DMIC 接口
- 一路 IIS TX，一路 IIS RX
- 一路低功耗 PWM DAC

复位和电源管理

- 内置低功耗 LDO 和低功耗 DCDC
- 内置上电复位（POR）
- 内置电压检测（PVD）

时钟资源

- 内置低功耗 32.768 KHz RC，支持内外晶体可选
- 内置高精度 4.096 MHz RC，支持内外晶体可选
- 内置两路 PLL
- 内置 2 组 32 位定时器，支持 capture

外设接口

- 两路 IIC 接口
- 三路 UART 接口
- 一路 SPI 接口
- 四路 PWM 接口
- 一路 RTC 实时时钟
- 一路 8x8 KEYSCAN
- 二十个 GPIO

目录

1 概述 5
2 功能概述 7
2.1 BNPU V4 7
2.2 CPU 7
2.3 存储器 7
2.4 音频接口 7
2.5 电源和时钟 7
2.6 外设和定时器 8
2.7 可靠性和开发支持 8
3 引脚说明 9
3.1 引脚图 9
3.2 电源和模拟管脚 10
3.3 系统配置管脚 10
3.4 多功能复用管脚 11
4 功能详述 19
4.1 电源管理 19
4.1.1 供电方案管理 19
4.2 IWDG 19
4.3 PVD 19
4.4 RTC 20
4.5 GPIO 20
4.6 VAD 20
4.7 Audio ADC 20
4.8 DMIC 20
4.9 IIS 23
4.9.1 IIS IN 23
4.9.2 IIS out 25
4.9.3 IIS 五线模式 26
4.10 PWM DAC 28

4.11 IIC 28
4.12 SPI 28
4.13 KEY_SCAN 29
5 电气特性 30
6 封装信息 32
7 订购信息 33
8 应用方案 36
8.1 应用说明 36
8.2 语音遥控器示例 36
9 量产与工艺注意事项 37
9.1 SMT 焊接工艺 37
9.2 PCB 布局布线要求 37
9.3 静电防护（ESD） 38
10 修订历史 38

图片目录

图 1 ：系统架构图 6
图 2 ：引脚图 9
图 3 ：可关闭时钟连接方式 21
图 4 ：1 路 DMIC 输入 21
图 5 ：2 路 DMIC 主模式输入 22
图 6 ：4 路 DMIC 主模式输入 23
图 7 ：IIS 输入主模式 24
图 8 :IIS 输入从模式 24
图 9 ：IIS 输出主模式 25
图 10 ：IIS 输出从模式 26
图 11 ：五线主模式，IIS_in 使用主模式，IIS_out 使用从模式 27
图 12 ：QFN40 封装尺寸 32
图 13 ：卷带尺寸图 34
图 14 ：卷盘尺寸图 35
图 15 ： 语音遥控器应用方案示例图 36

图 16 ： 炉温曲线图 37

表格目录

表 1 ： 电源和模拟管脚 10
表 2 ： 系统配置管脚 11
表 2 ： 多功能复用管脚 17
表 3 ： IO 复用表 17
表 4 ： 电气特性表 30
表 5 ： ADC 特性 31
表 6 ： DAC 特性 31
表 7 ： QFN40 封装尺寸 32
表 8 ： 订购信息表 33
表 9 ： 卷带尺寸表 34
表 10 ： 卷盘尺寸图 35
表 11 ： 修订历史 38

1 概述

CI3422 是一款面向电池供电及电力受限系统的超低功耗神经网络智能语音芯片，主要应用于语音识别和音频降噪。芯片集成启英泰伦自研脑神经网络处理器 BNPU ，系统最高主频可达 49.152MHz；内置 256KB SRAM，配备两路低功耗 RC 振荡器与两路低功耗 PLL，集成高性能低功耗 Audio Codec，并提供 UART、IIC、IIS、PWM、GPIO、RTC、SPI、KEYSCAN 等丰富外设接口，满足多样化智能语音终端需求。

CI3422 采用超低功耗的异构架构、支持动态电压和频率调节、根据负载动态调整供电电压与时钟频率。采用动态区域电源管理、将芯片按功能模块划分为多个独立电源域，对闲置电源域单独断电。采用细粒度时钟门控技术对闲置模块的时钟信号进行门控，采用 SRAM 数据保持低功耗架构，完整支持 LightSleep、DeepSleep、Shutdown 三级低功耗模式，实现功耗与唤醒速度的最优平衡。集成高性能低功耗 LDO 和 DCDC 转换器，具备动态电压调节能力，实现高效、灵活的系统供电管理。

CI3422 搭载启英泰伦第四代 BNPU 神经网络处理技术，内置针对语音场景优化的硬件加速引擎，支持 ASR 自动语音识别、神经网络降噪及 ANC 主动降噪算法。该处理器可高效运行 CNN\TDNN\GRU\LSTM 及 Transformer 等神经网络及并行矢量运算，可实现高性能的语音识别和语音降噪等功能，硬件加速 sigmoid、softmax、tanh、relu、prelu、swish 等激活函数，支持 FFT、矩阵、复数向量、三角函数、指数、对数等数学运算，显著提升 BNPU 运算能效比。CI3422 可实现语音识别、声纹识别、声音事件检测、深度学习降噪和增强、回声消除、音效处理等功能，具备优异的环境噪声抑制能力，同时支持中文、英文、日文等多语种语音处理。

CI3422 广泛适配各类消费电子与智能终端，覆盖智能手机、智能眼镜、智能耳机、可穿戴设备、智能家居、智能遥控器及安防设备等领域，为产品提供高效语音感知、交互与处理能力。支持语音增强、噪声抑制、关键词识别、多唤醒词检测、语音事件检测、本地指令执行等功能，可在离线状态下实现稳定、低功耗的音效增强和智能交互。CI3422 工作温度范围为 -40° C 至 +85° C，可满足严苛工业级与消费级环境下的可靠运行需求。

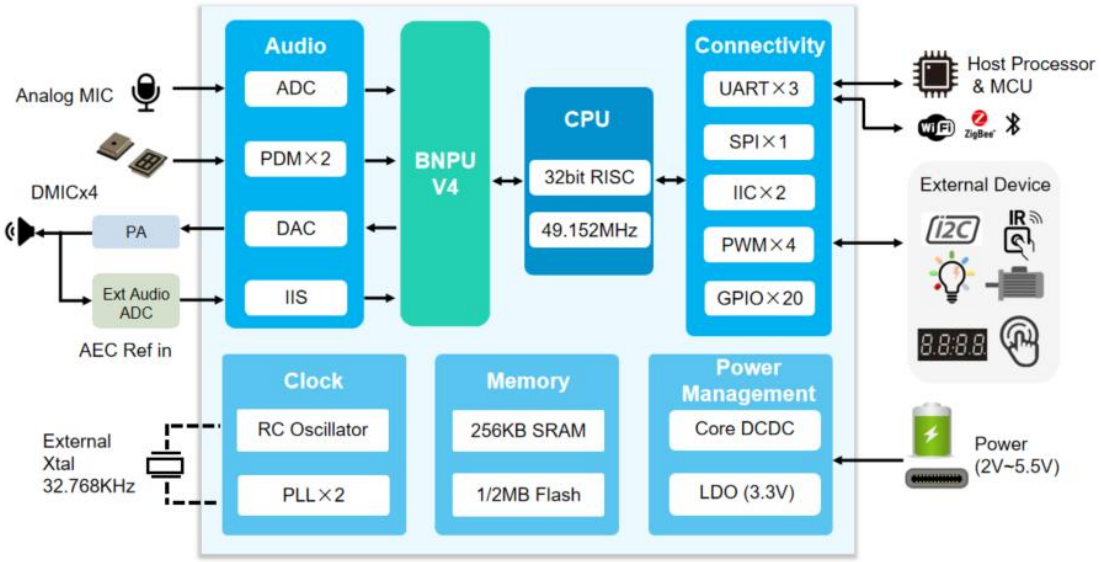

Analog MIC
DMICx4
PA
Ext Audio ADC
AEC Ref in
Audio
ADC
PDM×2
DAC
IIS
BNPU V4
CPU
32bit RISC
49.152MHz
Connectivity
UART×3
SPI×1
IIC×2
PWM×4
GPIO×20
Host Processor & MCU
External Device
i2C
IR
Clock
RC Oscillator
PLL×2
Memory
256KB SRAM
1/2MB Flash
Power Management
Core DCDC
LDO (3.3V)
External Xtal 32.768KHz
Power (2V~5.5V)

图 1：系统架构图

2 功能概述

2.1 BNPU V4

- BNPU V4，支持 ASR，神经网络降噪算法，主动降噪算法（ANC）。
- 支持 CNN\TDNN\GRU\LSTM 及 Transformer 等神经网络及并行矢量运算，可实现高性能的语音识别和语音降噪等功能。
- 支持 sigmoid、softmax、tanh、relu、prelu、swish 等激活函数加速。
- 支持 FFT、矩阵、复数向量、三角函数、指数、对数等数学运算。

2.2 CPU

- 内置 RISC-V 内核，主频最高可达 49.152 MHz
- 内置 32 位单周期乘法器，配备 4KB ICACHE
- 具备高实时性中断处理机制

2.3 存储器

- 片内集成 256KB 静态随机存取存储器（SRAM）
- 内置 256 位一次性可编程（OTP）电熔丝（eFuse）
- 集成 2MB 串行闪存（Flash），为程序存储、用户数据可靠存储载体

2.4 音频接口

- 一路高性能低功耗 audio ADC
- 两路 DMIC 接口
- 一路 IIS TX，一路 IIS RX
- 一路低功耗 PWM DAC
- ADC 采样率支持 16/32/48/96/192/384/768kHz
- PWM DAC 采样率支持 16/32/48/96/192kHz

2.5 电源和时钟

- 内置 1 路低功耗 3.3V LDO 和 1 路低功耗 DCDC
- 支持 PVD 电压检测模块，检测电压范围：1.72～4.2V

- 内置 1 路高速 RC 振荡器和 1 路低速 RC 振荡器，同时支持外接晶体振荡器
- 内置 2 路 PLL

2.6 外设和定时器

- 3 路 UART 接口
- 2 路 IIC 接口，IIC0 支持标准模式和快速模式，IIC1 支持标准模式；
- 4 路 PWM 接口
- 内置 2 组 32bit timer，支持 capture 功能
- 内置 1 组独立看门狗（IWDG）
- 内置 1 路通用 SPI 接口，SPI 最高频点 6.144MHz
- 内置 key_scan 接口，支持 8x8 矩阵键盘输入
- 内置 RTC 实时时钟模块
- 内置 PVDC 模块
- 支持最多 20 个 GPIO 口
- 每个 GPIO 口可配置中断功能，支持上下拉可配置

2.7 可靠性和开发支持

- ESD 增强设计，可通过 4KV 接触放电试验
- 采用环保材料，支持通过 ROHS 和 REACH 测试
- 封装形式：QFN，40 尺寸为长 5mm 宽 5mm 高 0.75mm
- 工作环境温度：-40℃ 到 85℃
- 提供完整软件开发包、应用方案示例和语音开发平台在线制作固件等功能，详情请访问：https://aiplatform.chipintelli.com
- 支持 UART 升级和固件保护

3 引脚说明

3.1 引脚图

CI3422 为小体积 QFN40（5x5）封装，带散热焊盘

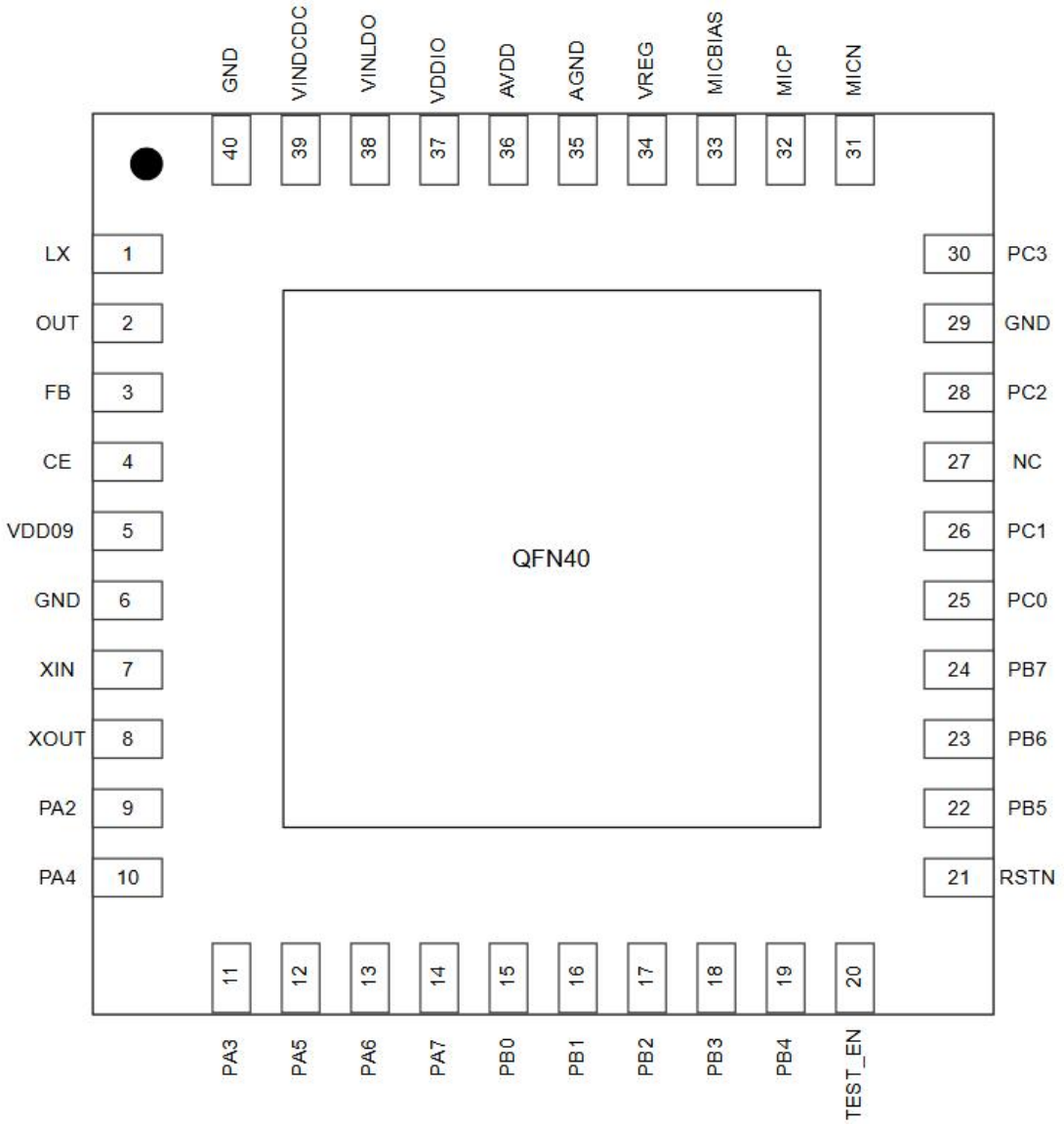


图 2：引脚图

3.2 电源和模拟管脚

管脚编号	管脚名称	类型	说明
1	LX	O	DCDC 电源输出管脚、需外接电感
2	OUT	I	DCDC 采样管脚
3	FB	I	DCDC 反馈管脚
4	CE	I	DCDC 使能管脚、高电平有效
5	VDD09	P	0.9V or 1.1V 数字电源输入 * Note1*
6 29 40	GND	P	数字地
31	MICN	I	麦克风负极
32	MICP	I	麦克风正极
33	MICBIAS	O	麦克风偏置管脚 * Note1*
34	VREG	O	VREG 电源管脚 * Note1*
35	AGND	P	模拟地
36	AVDD	P	模拟电源输入管脚，输入 3.3 v 电源 * Note1*
37	VDDIO	P	IO 电源供电同时是内置 LDO 的输出端 * Note1*
38	VINLDO	P	内置 LDO 输入端、输入电压范围： 2V～5.5V * Note1*
39	VINDCDC	P	内置 DCDC 输入端，输入电压范围： 2V～5.5V * Note1*
41	GND	P	数字地同时是扇热焊盘

表 1：电源和模拟管脚

Note1： 管脚需外接 4.7uF 电容

3.3 系统配置管脚

管脚编号	管脚名称	类型	说明
7	XIN	I	32.768KHz 晶体输入
8	XOUT	O	32.768KHz 晶体输出
20	TEST_EN	I	测试使能管脚、高电平有效。正常工作模式保持 NC

21	RSTN	I	复位输入
10	PA4	I	PG_EN 上电瞬间该管脚为高电平，系统将进入编程模式。上电瞬间该管脚为低电平，系统将进入功能模式。

表 2： 系统配置管脚

3.4 多功能复用管脚

PIN Number	PIN Name	I/O Default	PULL	Function Number	Type	Function Name	Description
7	XIN	I	-	Analog	I	XIN（default)	晶振输入
				0	I/O	PA0	通用输入/输出口
				1	I	EXT_INT0	外部中断 0
				2	I/O	IIC0_SDA	IIC0 数据线（SDA）
				3	O	UART2_TX	UART2 数据发送（TX）
				4	I	T0_PULSE	定时器 0 脉冲输入
				5	O	PWM2	PWM 通道 2 输出
				6	I	PDMD12	PDM 音频数据接口
8	XOUT	O	-	Analog	O	XOUT（default）	晶振输出
				0	I/O	PA1	通用输入/输出口
				1	I	EXT_INT1	外部中断 1
				2	I/O	IIC0_SCL	IIC0 时钟线（SCL）
				3	I	UART2_RX	UART2 数据接收（RX）
				4	O	CLKOUT	时钟输出
				5	O	PWM3	PWM 通道 3 输出
				6	O	PDMC12	PDM 时钟接口
9	PA2	I/O	T+D	0	I/O	PA2（default）	通用输入/输出口
				1	I	IIS_SDI	IIS 音频接口输入数据（SDI）
				2	I/O	IIC0_SDA	IIC0 数据线（SDA）
				3	O	UART1_TX	UART1 数据发送（TX）

				4	I/O	SPI_CS	SPI 接口片选（CS）
				5	O	PWM0	PWM 通道 0 输出
				6	I	PDMD3	PDM 音频数据接口
				7	I	KS0	按键输入通道 0
				8	O	IIS_SDO	IIS 音频接口输出数据（SDO）
11	PA3	I/O	T+D	0	I/O	PA3（default）	通用输入/输出口
				1	I/O	IIS_LRCLKA	IIS 音频接口左右声道时钟（LRCLK）
				2	I/O	IIC0_SCL	IIC0 时钟线（SCL）
				3	I	UART1_RX	UART1 数据接收（RX）
				4	I	SPI_DIN	SPI 接口数据输入（DIN）
				5	O	PWM1	PWM 通道 1 输出
				6	O	PDMC3	PDM 时钟接口
				7	I	KS1	按键输入通道 1
				8	I/O	IIS_LRCLKB	IIS 音频接口左右声道时钟（LRCLK）
10	PA4	I/O	T+U	0	I/O	PA4（default）	通用输入/输出口
				1	O	IIS0_SDO	IIS 音频接口输出数据（SDO）
				2	O	CLKOUT	时钟输出
				3	O	PDMC12	PDM 时钟接口
				4	O	SPI_DOUT	SPI 接口数据输出（DOUT）
				5	O	PWM2	PWM 通道 2 输出
				6	O	PDMC2	PDM 时钟接口
				7	I	KS2	按键输入通道 2
				8	O	PA_STDBY	功率放大器使能控制
12	PA5	I/O	T+D	0	I/O	PA5（default）	通用输入/输出口
				1	I/O	IIS_SCLKA	IIS 接口位时钟
				2	I	EXT_INT0	外部中断 0

				3	O	UART2_TX	UART2 数据发送（TX）
				4	I/O	SPI_CLK	SPI 接口时钟（CLK）
				5	O	PWM3	PWM 通道 3 输出
				6	I	T1_PULSE	定时器 1 脉冲输入
				7	I	KS3	按键输入通道 3
				8	I/O	IIS_SCLKB	IIS 接口位时钟
13	PA6	I/O	T+D	0	I/O	PA6（default）	通用输入/输出口
				1	I/O	IIS_MCLKA	IIS 主时钟信号
				2	I	EXT_INT1	外部中断 1
				3	I	UART2_RX	UART2 数据接收（RX）
				4	O	CLKOUT	时钟输出
				5	O	PWM1	PWM 通道 1 输出
				6	I	PDMD12	PDM 音频数据接口
				7	I	KS4	按键输入通道 4
				8	I/O	IIS_MCLKB	IIS 主时钟信号
14	PA7	I/O	T+D	0	I/O	PA7（default）	通用输入/输出口
				1	I	IIS0_SDI	IIS 音频接口输入数据（SDI）
				2	I	T0_PULSE	定时器 0 脉冲输入
				3	O	UART1_TX	UART1 数据发送（TX）
				4	I/O	SPI_CS	SPI 接口片选（CS）
				5	O	PWM0	PWM 通道 0 输出
				6	O	PDMC2	PDM 音频时钟接口
				7	I	KS5	按键输入通道 5
				8	O	IIS_SDO	IIS 音频接口输出数据（SDO）
15	PB0	I/O	T+D	0	I/O	PB0（default）	通用输入/输出口
				1	I/O	IIS_LRCLKB	IIS 音频接口左右声道时钟（LRCLK）
				2		T1_PULSE	定时器 1 脉冲输入
				3	I	UART1_RX	UART1 数据接收（RX）
				4	I	SPI_DIN	SPI 接口数据输入（DIN）

				5	O	PWM1	PWM 通道 1 输出
				6	O	PDMC12	PDM 音频时钟接口
				7	I	KS6	按键输入通道 6
				8	I/O	IIS_LRCLKA	IIS 音频接口左右声道时钟（LRCLK）
16	PB1	I/O	T+D	0	I/O	PB1（default）	通用输入/输出口
				1	I/O	IIS_SCLKB	IIS 位时钟信号
				2	I/O	IIC1_SDA	IIC0 数据线（SDA）
				3	O	UART2_TX	UART2 数据发送（TX）
				4	O	SPI_DOUT	SPI 接口数据输出（DOUT）
				5	O	PWM2	PWM 通道 2 输出
				6	I	PDMD3	PDM 音频数据接口
				7	I	KS7	按键输入通道 7
				8	I/O	IIS_SCLKA	IIS 位时钟信号
17	PB2	I/O	T+D	0	I/O	PB2（default）	通用输入/输出口
				1	I/O	IIS_MCLKB	IIS 主时钟信号
				2	I/O	IIC1_SCL	IIC1 时钟线（SCL）
				3	I	UART2_RX	UART2 数据接收（RX）
				4	I/O	SPI_CLK	SPI 接口时钟（CLK）
				5	O	PWM3	PWM 通道 3 输出
				6	O	PDMC3	PDM 音频时钟接口
				7	I	KS8	按键输入通道 8
				8	I/O	IIS_MCLKA	IIS 主时钟信号
18	PB3	I/O	T+D	0	I/O	PB3（default）	通用输入/输出口
				1	O	UART0_TX	UART0 数据发送（TX）
				2	I/O	IIC0_SDA	IIC0 数据线（SDA）
				3	I	EXT_INT0	外部中断 0
				4	O	CLKOUT	时钟输出
				5	O	PWM0	PWM 通道 0 输出
				6	I	PDMD12	PDM 音频数据接口
				7	I	KS9	按键输入通道 9

				8	O	IIS_SDO	IIS 音频接口输出数据（SDO）
19	PB4	I/O	T+D	0	I/O	PB4（default）	通用输入/输出口
				1	I	UART0_RX	UART0 数据接收（RX）
				2	I/O	IIC0_SCL	IIC0 时钟线（SCL）
				3	I	EXT_INT1	外部中断 1
				4	O	CLKOUT	时钟输出
				5	O	PWM1	PWM 通道 1 输出
				6	O	PDMC12	PDM 音频时钟接口
				7	I	KS10	按键输入通道 10
				8	I	IIS_SDI	IIS 音频接口输入数据（SDI）
22	PB5	I/O	T+U	0	I	Reserved	保留功能
				1	I/O	GPIO PB5	通用输入/输出口
				2	I/O	IIC1_SDA	IIC1 数据线（SDA）
				3	O	UART1_TX	UART1 数据发送（TX）
				4	I/O	SPI_CS	SPI 接口片选（CS）
				5	O	PWM2	PWM 通道 2 输出
				6	I	PDMD3	PDM 音频数据接口
				7	I	KS11	按键输入通道 11
				8	I/O	IIS_LRCLKB	IIS 音频接口左右声道时钟（LRCLK）
23	PB6	I/O	T+D	0	I/O	Reserved	保留功能
				1	I/O	GPIO PB6	通用输入/输出口
				2	I/O	IIC1_SCL	IIC1 时钟线（SCL）
				3	I	UART1_RX	UART1 数据接收（RX）
				4	I	SPI_DIN	SPI of SPI 接口
				5	O	PWM3	PWM 通道 3 输出
				6	O	PDMC3	PDM 音频时钟接口
				7	I	KS12	按键输入通道 12
				8	I/O	IIS_SCLKB	IIS 位时钟信号
24	PB7	I/O	T+D	0	I/O	Reserved	保留功能
				1	I/O	GPIO PB7	通用输入/输出口

				2	I/O	IIC0_SCL	IIC0 时钟线（SCL）
				3	O	UART2_TX	UART2 数据发送（TX）
				4	O	SPI_DOUT	SPI 接口数据输出（DOUT）
				5	O	PWM0	PWM 通道 0 输出
				6	I	PDMD12	PDM 音频数据接口
				7	I	KS13	按键输入通道 13
				8	I/O	IIS_MCLKB	IIS 音频接口主时钟（MCLK）
25	PC0	I/O	T+U	0	I/O	Reserved	保留功能
				1	I/O	GPIO PC0	通用输入/输出口
				2	I/O	IIC0_SDA	IIC0 数据线（SDA）
				3	I	UART2_RX	UART2 数据接收（RX）
				4	I/O	SPI_CLK	SPI 接口时钟（CLK）
				5	O	PWM1	PWM 通道 1 输出
				6	O	PDMC12	PDM 音频时钟接口
				7	I	KS14	按键输入通道 14
				8	I	IIS_SDI	IIS 音频接口输入数据（SDI）
26	PC1	I/O	T+D	0	I/O	PC1（default）	通用输入/输出口
				1	O	IIS_SDO	IIS 音频接口输出数据（SDO）
				2	O	CLKOUT	时钟输出
				3	O	UART1_TX	UART1 数据发送（TX）
				4	O	SPI_DOUT	SPI 接口数据输出（DOUT）
				5	O	PWM2	PWM 通道 2 输出
				6	O	PDMC2	PDM 音频时钟接口
				7	I	KS15	按键输入通道 15
				8	O	PA_STDBY	功率放大器使能控制
28	PC2 * Note2*	I/O	T+D	0	I/O	PC2（default）	通用输入/输出口（GPIO）
				1	O	PWM_RP	PWM DAC 右通道正极

							输出
				2	O	PWM_LN	PWM DAC 左通道负极输出
				3	O	UART1_TX	UART1 数据发送（TX）
				4	O	PWM_RP	PWM DAC 右通道正极输出
				5	O	PWM3	PWM 通道 3 输出
				6	I	PDMD12	PDM 音频数据接口
				7	I	EXT_INT0	外部中断 0
				8	O	PA_STDBY	功率放大器使能控制
30	PC3 * Note2*	I/O	T+D	0	I/O	PC3（default）	通用输入/输出口
				1	O	PWM_LP	PWM DAC 左通道正极输出
				2	O	PWM_LP	PWM DAC 左通道正极输出
				3	I	UART1_RX	UART1 数据接收（RX）
				4	O	PWM_RN	PWM DAC 右通道负极输出
				5	O	PWM0	PWM 通道 0 输出
				6	O	PDMC12	PDM 音频时钟接口
				7	I	EXT_INT1	外部中断 1
				8	O	PA_STDBY	功率放大器使能控制

表 3： 多功能复用管脚

符号定义：

I 输入

O 输出

I/O 双向

P 电源和地

T+D 三态下拉

T+U 三态上拉

OUT 上电默认输出

IN 上电默认输入

Note2：该 IO 支持 24mA 的驱动输出能力，除 PC2、PC3 外其它 IO 只支持 8mA 的驱动输出能力。

表 4：IO 复用表

PIN	Function0	Function1	Function2	Function3	Function4	Function5	Function6	Function7	Function8
7	PA0	EXT_INT0	IIC0_SDA	UART2_TX	T0_PULSE	PWM2	PDMD12		
8	PA1	EXT_INT1	IIC0_SCL	UART2_RX	CLKOUT	PWM3	PDMC12		
9	PA2	IIS_SDI	IIC0_SDA	UART1_TX	SPI_CS	PWM0	PDMD3	KS0	IIS_SDO
11	PA3	IIS_LRCLKA	IIC0_SCL	UART1_RX	SPI_DIN	PWM1	PDMC3	KS1	IIS_LRCLKB
10	PA4	IIS_SDO	CLKOUT	PDMC12	SPI_DOUT	PWM2	PDMC2	KS2	PA_STDBY
12	PA5	IIS_SCLKA	EXT_INT0	UART2_TX	SPI_CLK	PWM3	T1_PULSE	KS3	IIS_SCLKB
13	PA6	IIS_MCLKA	EXT_INT1	UART2_RX	CLKOUT	PWM1	PDMD12	KS4	IIS_MCLKB
14	PA7	IIS_SDI	T0_PULSE	UART1_TX	SPI_CS	PWM0	PDMC2	KS5	IIS_SDO
15	PB0	IIS_LRCLKB	T1_PULSE	UART1_RX	SPI_DIN	PWM1	PDMC12	KS6	IIS_LRCLKA
16	PB1	IIS_SCLKB	IIC1_SDA	UART2_TX	SPI_DOUT	PWM2	PDMD3	KS7	IIS_SCLKA
17	PB2	IIS_MCLKB	IIC1_SCL	UART2_RX	SPI_CLK	PWM3	PDMC3	KS8	IIS_MCLKA
18	PB3	UART0_TX	IIC0_SDA	EXT_INT0	CLKOUT	PWM0	PDMD12	KS9	IIS_SDO
19	PB4	UART0_RX	IIC0_SCL	EXT_INT1	CLKOUT	PWM1	PDMC12	KS10	IIS_SDI
22	Reserved	PB5	IIC1_SDA	UART1_TX	SPI_CS	PWM2	PDMD3	KS11	IIS_LRCLKB
23	Reserved	PB6	IIC1_SCL	UART1_RX	SPI_DIN	PWM3	PDMC3	KS12	IIS_SCLKB
24	Reserved	PB7	IIC0_SCL	UART2_TX	SPI_DOUT	PWM0	PDMD12	KS13	IIS_MCLKB
25	Reserved	PC0	IIC0_SDA	UART2_RX	SPI_CLK	PWM1	PDMC12	KS14	IIS_SDI
26	PC1	IIS_SDO	CLKOUT	UART1_TX	SPI_DOUT	PWM2	PDMC2	KS15	PA_STDBY
28	PC2	PWM_RP	PWM_LN	UART1_TX	PWM_RP	PWM3	PDMD12	EXT_INT0	PA_STDBY
30	PC3	PWM_LP	PWM_LP	UART1_RX	PWM_RN	PWM0	PDMC12	EXT_INT1	PA_STDBY

4 功能详述

4.1 电源管理

4.1.1 供电方案管理

芯片内置一路 LDO 和一路 DCDC，二者的输入电压范围均为 2V～5.5V。其中 LDO 输出为芯片的 IO 和 CODEC 供电，DCDC 输出为芯片内核供电，LDO 的标准输出电压为 3.3v；当 LDO 输入电压低于 3.3v 时，LDO 会进入跟随模式，输出电压基本与输入电压保持一致。内置 LDO 输入电压范围为 2V～5.5V。

CI3422 的最低供电电压为 2V，其 IO 口的高电平输出将不低于 2V，这超出了标准 1.8V IO 电平的容限。因此，在与 1.8V IO 电平的芯片对接时，必须增加电平转换芯片以确保信号兼容。

DCDC 的标准输出电压为 1.1v，该输出需外接滤波电容后接入芯片 5 脚 VDD09；DCDC 支持输出电压调节，可通过一个 GPIO 将输出电压调整为 0.9v 后再接入 5 脚 VDD09，以此降低系统功耗。

4.2 IWDG

芯片内集成了一个 Independent watchdog（简称 IWDG）,该模块具有高安全级别、时序精确及灵活使 用的特点。IWDG 发现并解决由于软件失效造成的功能混乱,并在计数器达到指定的 timeout 值时触发系统复位。 独立看门狗模块基于一个 32-bit 递减计数器，使用独立于 PCLK 的时钟计数，当计数器递减计数到 0 时，产生中断请求，计数器重载初值再次进行递减计数，再递减计数到 0 之前若中断未被清除，将产生复位请求，同时计数器停止计数。中断请求和复位请求都可以通过寄存器配置为使能或者禁止，当禁止中断请求时，计数器停止计数，当中断请求重新使能后，计数器重载初值进行递减计数。

4.3 PVD

Programmable Voltage detector（PVD）模块可以用来检测 VCC 电源（也可以检测 PB7 引脚的电压）,检测点可通过寄存器进行配置。当 VCC 高于或低于 PVD 的检测点时,产生相应的中断标识。PVD 根据软件配置阈值对芯片电压进行扫描扫描到电压跳变值后，上报中断并记录跳变电压值，直到扫描到边界。电压检测范围：1.72～4.2V。

4.4 RTC

RTC 实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器,在相应软件配置下,可提供时钟日历的功能。修改计数器的值可以记录和设置系统当前的日期和时间,并且可以设置定时器，计数到定时值后，输出中断信号。

4.5 GPIO

GPIO 支持多个可编程的输入/输出管脚，每个 GPIO 端口都有相应的控制寄存器和配置寄存器，可以由软件配置为输出（push-pull 或者 open drain）,输入（floating，pull－up/down,analog）。共分为 3 组，最多可控制 20 个 IO。

4.6 VAD

VAD 用于超低功耗场景下的声音活动检测（Voice Activity Detection,VAD）。平均检测延迟 27ms，不同应用场景下，可编程检测参数。可以让 Audio ADC 休眠并节省功耗，直到检测到声音活动。当声音活动被检测到时，VAD 发送中断来唤醒 Audio ADC。

4.7 Audio ADC

Audio ADC 支持一路模拟麦单端或差分输入，可用于 line-in 或者 mic-in。工作时钟为 12.288MHz。具有可编程的数字滤波器，用于平衡滤波效果和延迟响应。支持多种采样频率 16, 32, 48, 96, 192, 384, 768kHz。

4.8 DMIC

CI3422 支持 1～4 路 DMIC 输入、PDMC12\PDMC2\PDMD12 为一组、可以接两个 DMIC，PDMC3\PDMD3 为一组、可以接两个 DMIC。PDMC2 时钟可以关闭已使其中一个数字硅麦进入待机模式节省功耗，如下图所示。

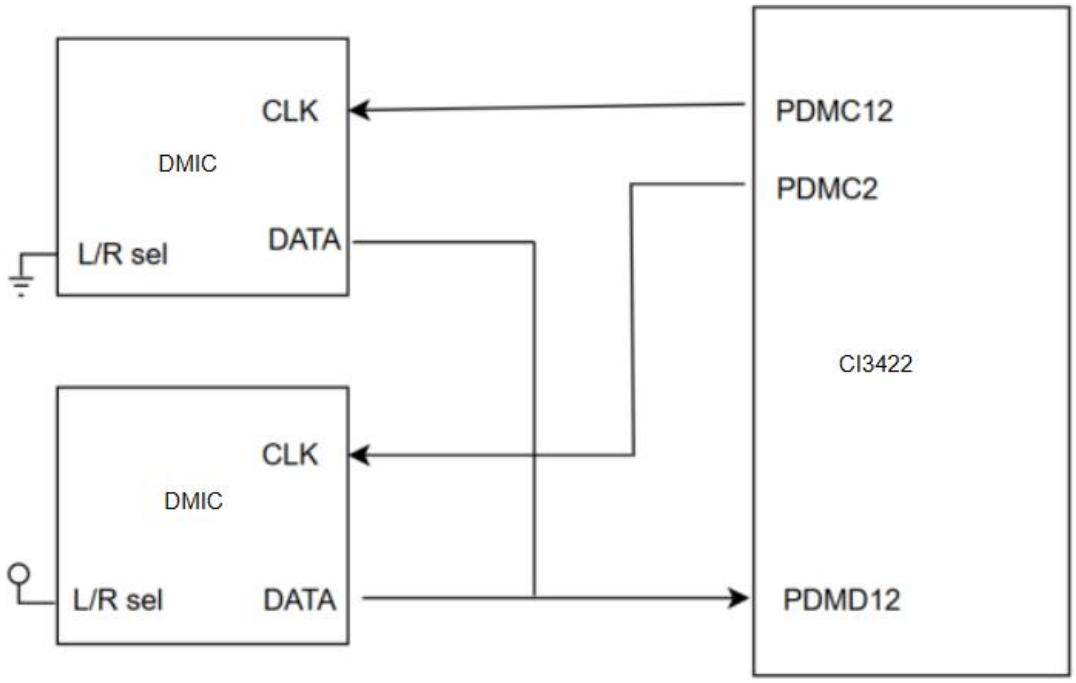


图 3：可关闭时钟连接方式

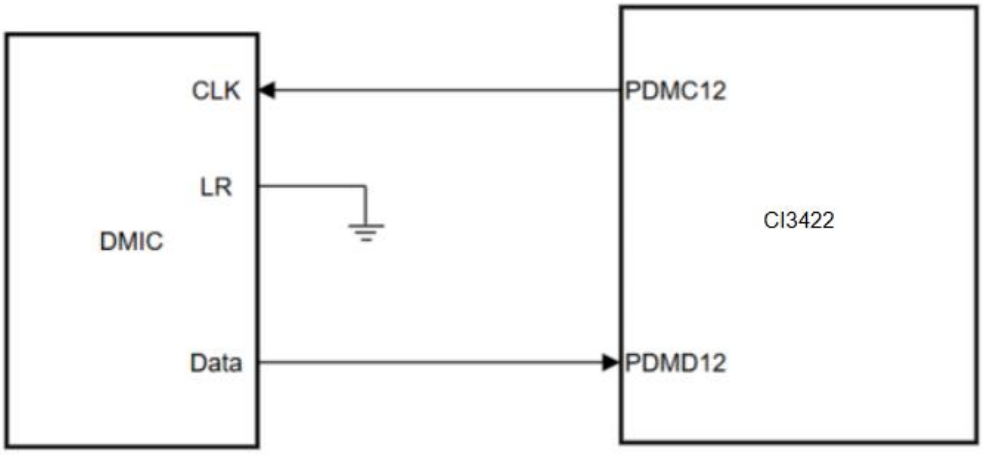


图 4: 1 路 DMIC 输入

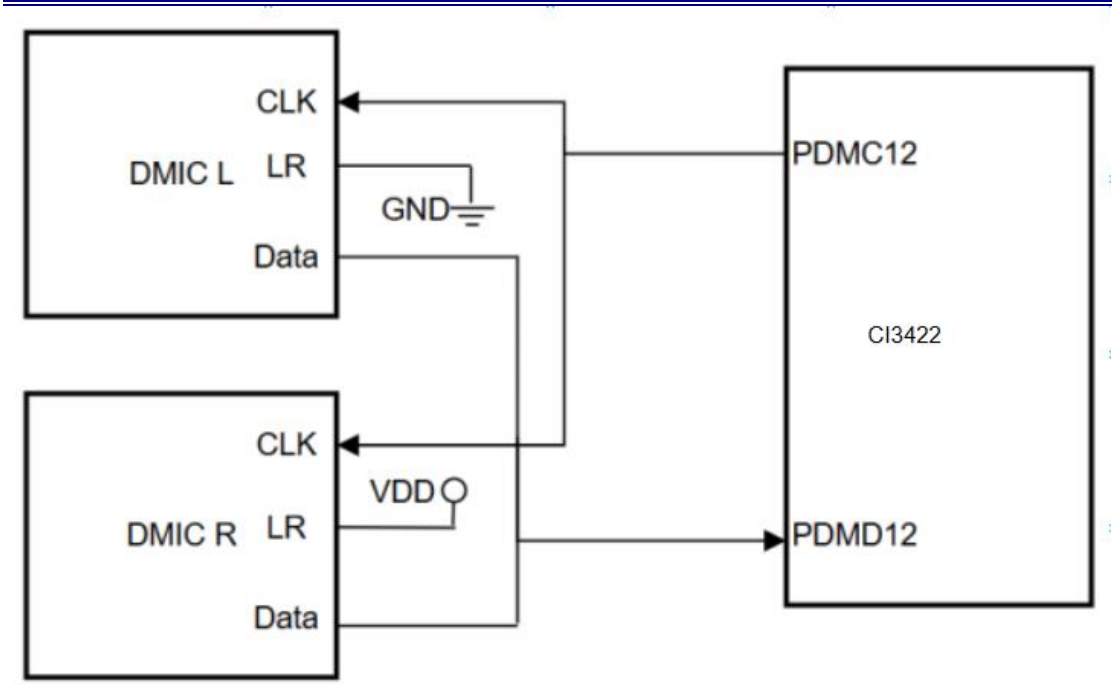


图 5: 2 路 DMIC 主模式输入

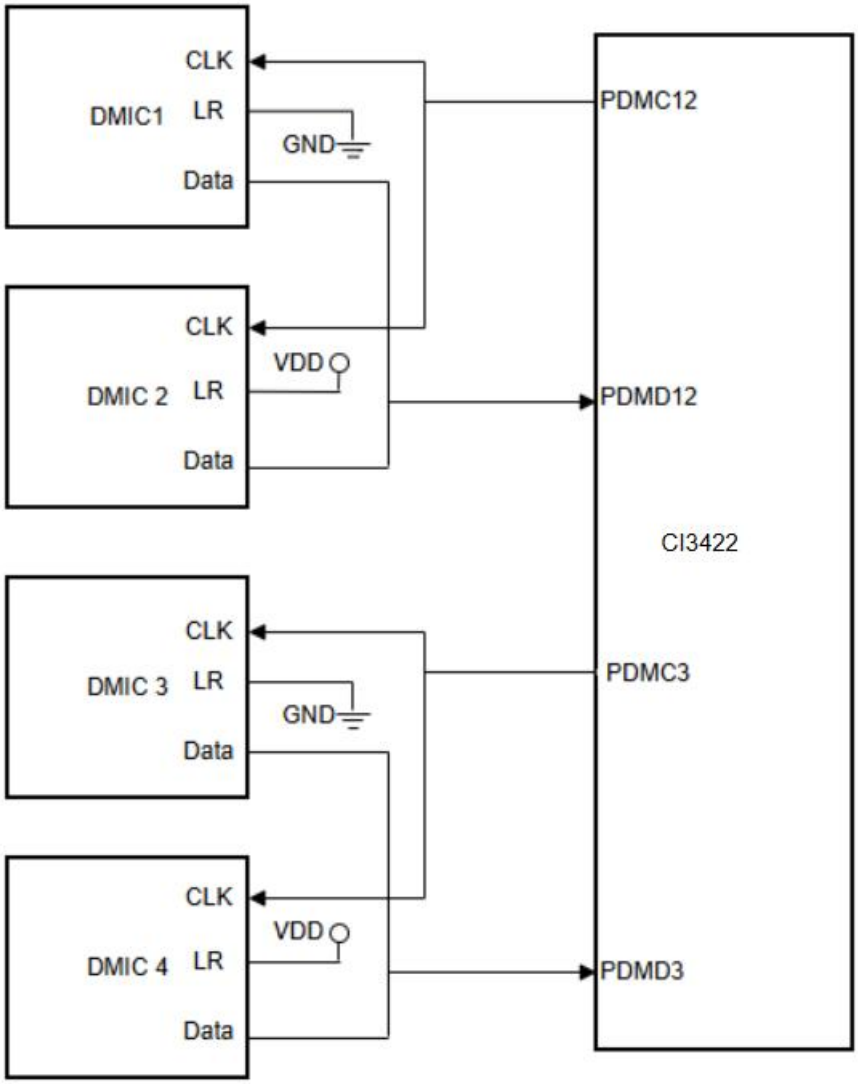


图 6：4 路 DMIC 主模式输入

4.9 IIS

支持集成电路内置音频总线、支持 IIS 输入输出、主从模式。

4.9.1 IIS IN

CI3422 支持 IIS 输入工作在主模式或从模式。芯片输出 mclk（主模式）和外部输入 mclk（从模式）最高可支持到 24.576MHz。采样频率（以下简称 fs）支持 16KHz、32KHz、48KHz、

96KHz、192KHz。两组 IIS 时钟（IIS-A/IIS-B）参数完全一致，方向可配置为输入或输出，可与 SDI（数据输入）、SDO（数据输出）自由组合为完整的 IIS 接口。

接收端特征如下：

- 软件可配收发数据格式：IIS、左对齐和右对齐；
- 软件可配收发数据的位宽：16bit、20bit、24bit、32bit；
- LRCK 与 SCK 比例软件可配：1:32、 1:64；
- 声道数据合并可配（单、双声道独立配置）：接收时两个 16bit 的数据合并成 32bit；
- 软件可配接收 FIFO 将满触发阈值：1/4 满，1/8 满，1/16 满和 1/32 满；
- 接收通道开关使能可通过软件配置；
- 支持接收左右声道对调；
- 接收通道 FIFO 深度为 64，宽度为 32；
- 支持 DMA 方式数据传输；
- 支持 FIFO 溢出中断；

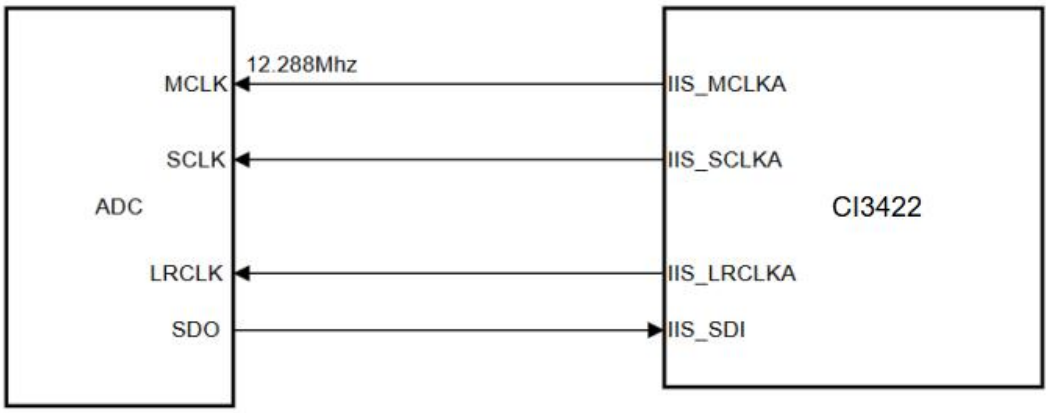


图 7: IIS 输入主模式

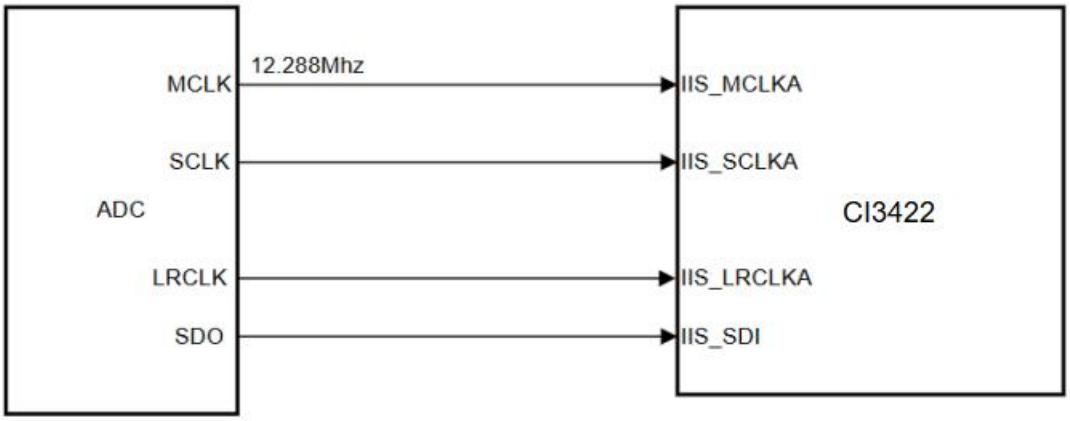


图 8:IIS 输入从模式

4.9.2 IIS out

CI3422 支持 IIS 输出工作在主模式或从模式。芯片输出 mclk（主模式）和外部输入 mclk（从模式）最高可以支持到 24.576 MHz。采样频率（以下简称 fs）支持 16KHz、32KHz、48KHz、96KHz、192KHz。IIS out 接口从内部音频播放模块输出音频数据，IIS out 支持主或从模式，支持音量调节。两组 IIS 时钟（IIS-A/IIS-B）参数完全一致，方向可配置为输入或输出，可与 SDI（数据输入）、SDO（数据输出）自由组合为完整的 IIS 接口。

发送端特征如下：

- 软件可配收发数据格式：IIS、左对齐和右对齐；
- 软件可配收发数据的位宽：16bit、20bit、24bit、32bit；
- LRCK 与 SCK 比例软件可配：1:32、1:64；
- 声道数据合并可配（单、双声道独立配置）：发送时两个 16bit 的数据压缩成一个 32bit 数据发送；
- 软件可配发送 FIFO 将空触发阈值：半空和四分之一空；
- 发送通道开关使能软件配置；
- 软件可配发送时左右声道数据对调；
- 支持静音功能（数据发送时左右声道可独立静音）、单声道和双声道立体声功能；
- 发送通道 FIFO 深度为 32，宽度为 32；
- 支持 DMA 方式数据传输；
- 支持 FIFO 溢出中断；

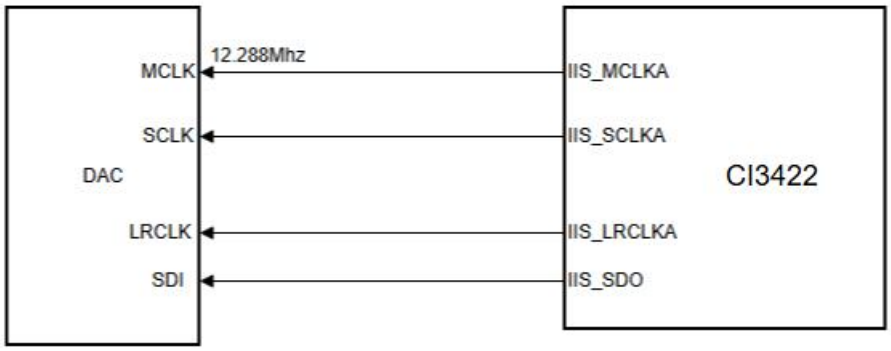


图 9: IIS 输出主模式

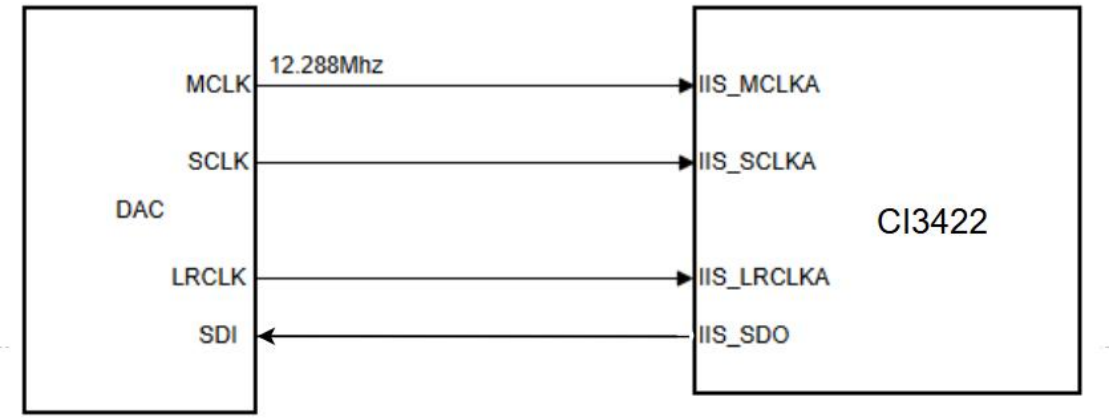


图 10： IIS 输出从模式

4.9.3 IIS 五线模式

两组 IIS 接口支持五线制复用模式，可共享 MCLK（主时钟）、BCLK（位时钟）、LRCLK（左右声道时钟）三条公共时钟线，仅通过独立的 SDI（数据输入）、SDO（数据输出）完成音频数据的收发分离，大幅减少芯片 IO 管脚占用，简化硬件布线设计，适配对 PCB 布局空间要求较高的便携、小型化语音设备场景。

五线模式下，IIS_IN（音频输入）与 IIS_OUT（音频输出）可灵活组合主 / 从模式（支持 IIS_IN 主模式 + IIS_OUT 从模式、IIS_IN 从模式 + IIS_OUT 从模式等组合），时钟信号由主模式侧的 IIS 接口统一提供，从模式侧接口同步跟随公共时钟完成数据采样与传输，确保输入输出音频数据的时钟同步性，避免因时钟异步导致的音频错位、断音问题。

两组 IIS 时钟（IIS-A/IIS-B）参数完全一致，方向可配置为输入或输出，可与 SDI（数据输入）、SDO（数据输出）自由组合为完整的 IIS 接口。

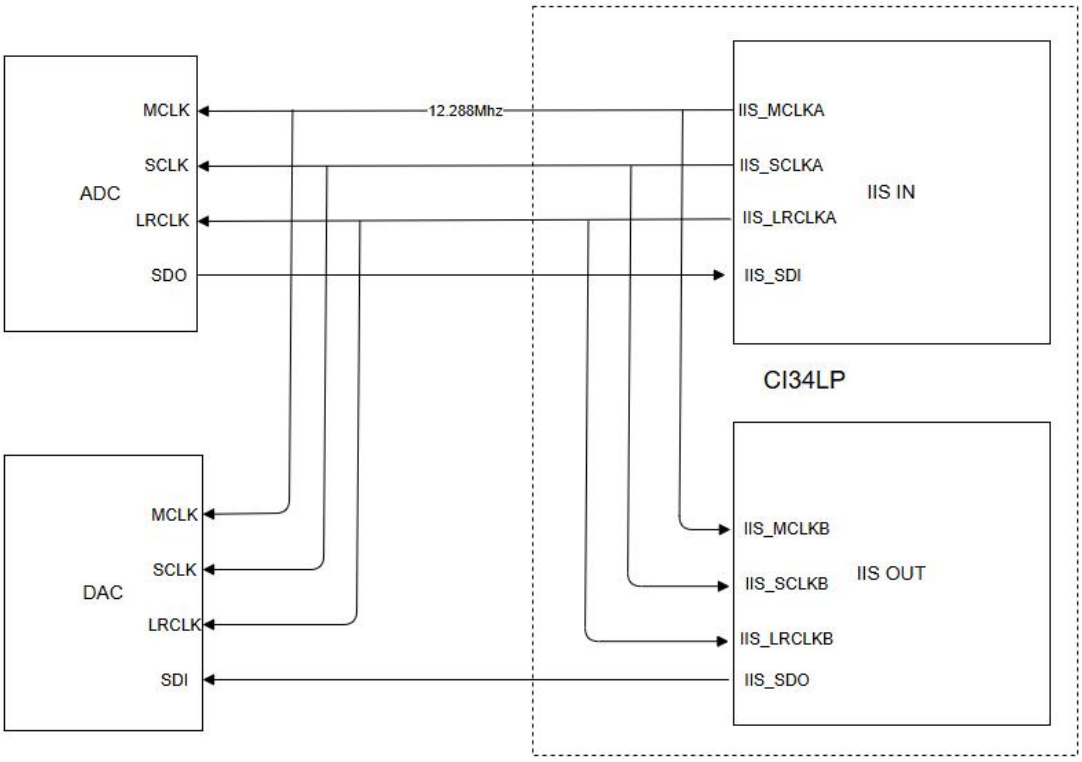


图 11：五线主模式，IIS_in 使用主模式，IIS_out 使用从模式

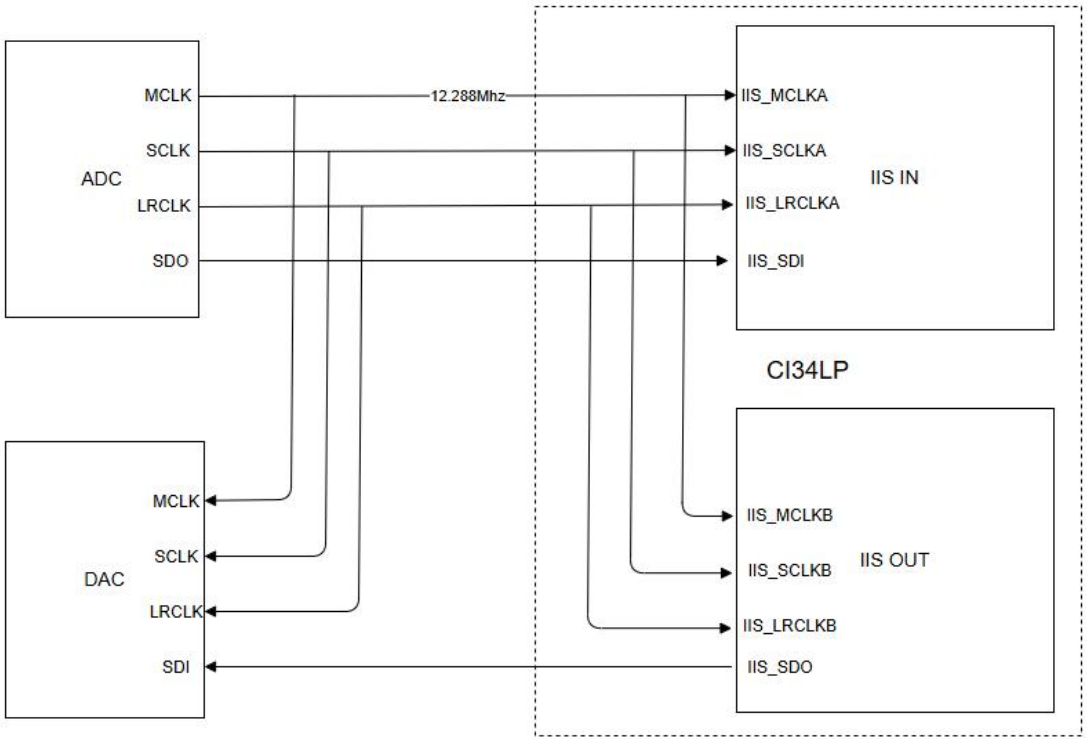


图 12：五线从模式，IIS_in 使用从模式，IIS_out 使用从模式

4.10 PWM DAC

PWM DAC 支持低功耗和高质量音频应用，支持 2 种工作模式：

- 数字工作模式对数字放大器和耳机类应用进行了优化，可减少 EMI 影响。
- 模拟工作模式对模拟放大器（AOP，class AB）和线路输出进行了优化。
- 采样率 Fs 支持 16/32/48/96/192kHz。
- soft mute 和过零增益变化减少声音故障。
- 数据接口支持并行或串行，两种互斥。
- 支持 16、18、20、24bit 有符号线性 PCM 格式，有效数据放在高位，不同格式只影响数据 LSB。
- DAC 支持的数据格式为 IIS 格式、左对齐格式。
- 支持 STANDBY 输出，防止上电 POP 音。

4.11 IIC

CI3422 内置 IIC 总线控制器，支持标准传输模式速率 100Kbit/s 和快速传输模 式速率 400Kbit/s。其主要特征如下：

- slave 时支持 7 位和 10 位寻址，寄存器可配
- 支持 I2C Master/Slave 模式，master 时支持 7 位和 10 位寻址
- 支持 I2C transmitter 和 receiver 功能
- 在 slave 为 7 位地址，或 10bit 地址模式下，均支持地址广播呼叫
- 支持多 master 总线仲裁功能
- 支持 SCL 总线时钟同步和握手机制
- 支持中断和查询操作方式操作
- 持与系统 GDMA 配合进行传输，支持 RX/TX DMA 分别使能
- 仅在作为 master 时支持 DMA，slave 场景不支持 DMA 模式传输
- 内部接收发送 FIFO 深度支持 parameter 可配置，默认参数位宽 4bit，表示 16byte；
- FIFO RX/TX 触发阈值可分别寄存器配置

4.12 SPI

SPI 实现 SPI、SSP 和 Microwire 协议的转换，主要用于与外设通信，

- 支持 Master 和 Slave 寄存器可配置。
- 支持 TX FIFO ，深度为 16，宽度为 32bit,当一帧数据位宽小于 32bit 时，高位补零
- 支持 RX FIFO ，深度为 8，宽度为 32bit，当一帧数据位宽小于 32bit 时，高位补零

- 支持 TX/RX FIFO 阈值可配
- SPI/SSP 协议支持 4 种传输模式可配置：同时收发，只发不收，只收不发，EEPROM Read
- 支持数据传输 busy 状态可查询

4.13 KEY_SCAN

key_scan 最大可支持 8x8 的矩阵键盘。通过扫描按键可以得到按键的行值和列值，进而索引到每一个按键值。扫描方式为逐行扫描。

- 键盘扫描支持可配置滤波和不滤波两种方式。
- 支持按键有效电平可配置
- 支持扫描时间间隔可配置
- 支持行和列 PAD 可配置

5 电气特性

符号	描述	最小值	典型值	最大值	单位
VINDCDC	DCDC输入	2	5	5.5	V
VINLDO	LDO输入	2	5	5.5	V
VDDIO	IO电源	2	3.3	3.63	V
AVDD	模拟电源	3	3.3	3.63	V
VDD09	0.9V电源（输入电压0.9v）	0.81	0.9	0.99	V
	1.1V电源（输入电压1.1v）	0.99	1.1	1.21	V
V_{IH}	IO输入高电平	0.7×VDDIO	-	-	V
V_{IL}	IO输入低电平	-	-	0.3×VDDIO	V
V_{OL}	输出低电平	-	-	0.4	V
V_{OH}	输出高电平	VDDIO-0.4	-	-	V
I_{33VIO}	IO输出3.3V时驱动电流		-	8	mA
ΔTemp (RC4M)	4.096MHzRC振荡器精度 T_A = -40 to 85℃	-	±1.5	-	%
ΔTemp (RC32K)	32.768Khz RC振荡器精度 T_A = -40 to 85℃	-	±2	-	%
T_A	内部RC振荡器可适应的工作环境温度	-40	-	+85	℃
T_{ST}	芯片储存环境温度	-55	-	+150	℃

表 4： 电气特性表

ADC 特性

Parameter	Min	Typ	Max	Unit	Test Conditions
SNR	_	100	_	dB	A 加权 1kHz 正弦波，低功耗模式，开启信噪比优化功能
THD+N	_	-79	_	dB	1kHz 正弦信号，满幅衰减 3dB，增益 GID*=0dB，升压增益 GIM*=0dB，分别对应正常模式与低功耗模式

表 5：ADC 特性

PWM DAC 特性

Parameter	Min	Typ	Max	Unit	Test Conditions
SNR	_	95	_	dB	A 加权，1kHz 正弦波，满量程，增益为 0dB
THD+N	-	-87	-	dB	1kHz 正弦信号，满幅衰减 3dB，增益设置为 0dB，采样频率 Fs 大于 16kHz

表 6：DAC 特性

典型功耗数据

工作模式	VDD09 电压	CPU 频率	典型电流（室温）	单位
休眠模式（只有 VAD 工作）	0.9V	32.768Khz	50	uA
高速运行模式（命令词全识别）	1.1V	49.152Mhz	3	mA

6 封装信息

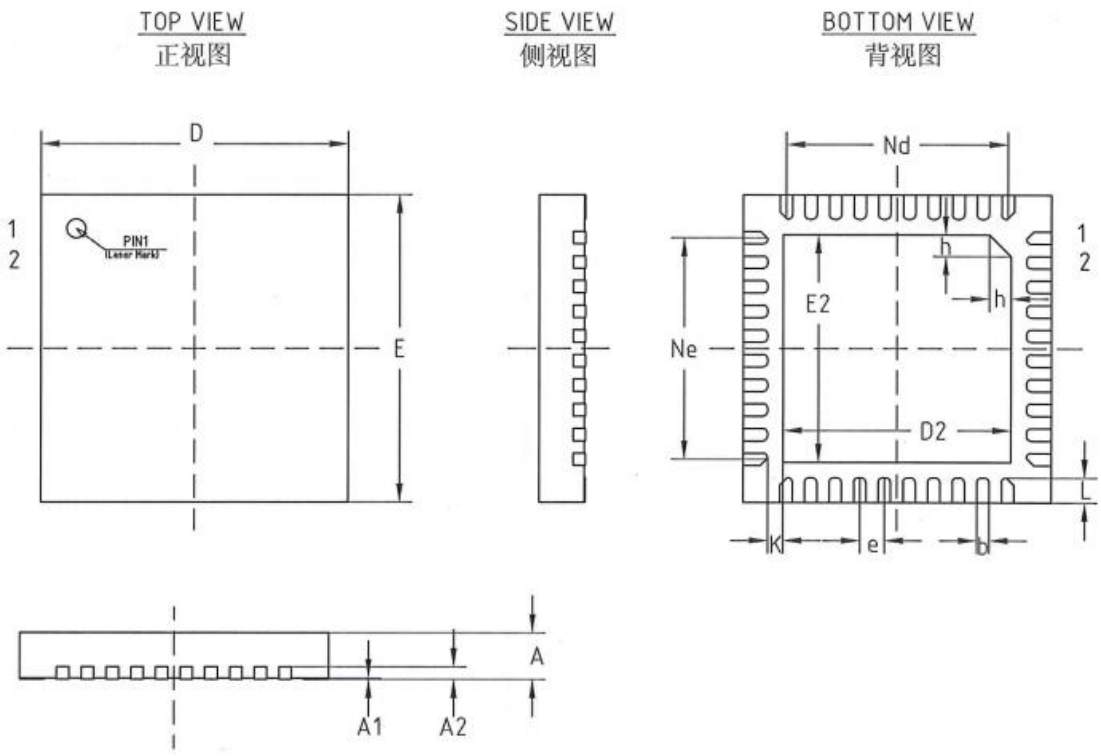


图 13: QFN40 封装尺寸

机械尺寸/mm			
字符 SYMBOL	最小值 MIN	典型值 NOMINAL	最大值 MAX
A	0.70	0.75	0.80
A1	-	0.02	0.05
A2	0.203 REF		
b	0.15	0.20	0.25
D	4.90	5.00	5.10
D2	3.60	3.70	3.80
E	4.90	5.00	5.10
E2	3.60	3.70	3.80
e	0.40 BSC		
K	0.20	0.25	0.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40
Ne	3.60 BSC		
Nd	3.60 BSC		

表 7: QFN40 封装尺寸

7 订购信息

CI3422 芯片封装丝印第一行为公司 LOG，第二行为芯片型号，第三行为生产批次号，左下角圆点为 1 脚标识，芯片型号订货信息如下：

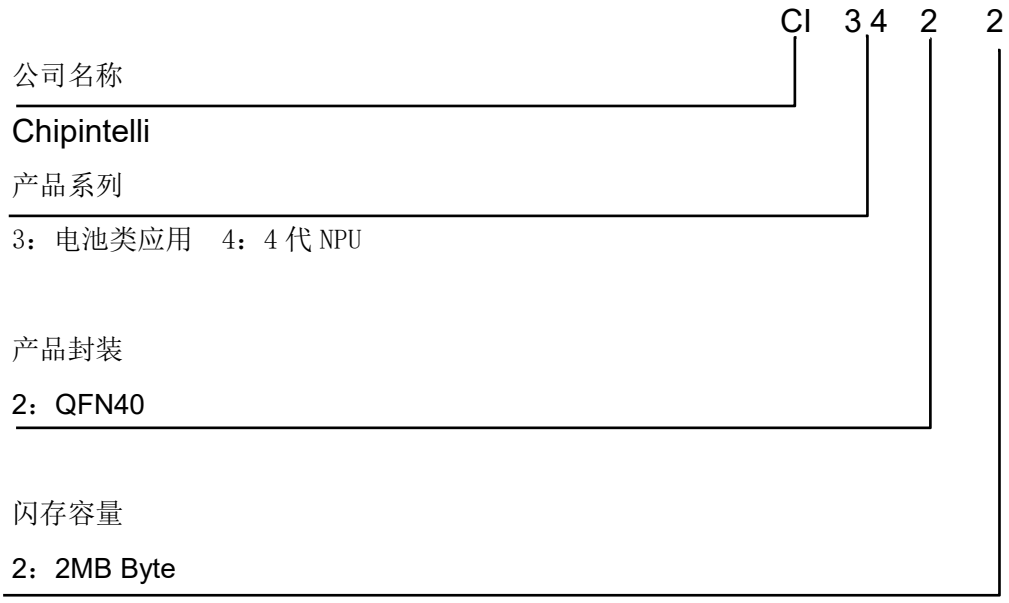


表 8： 订购信息表

订购型号:	封装形式	包装方式	卷带包装数量	出厂标准包装	标准包装
CI3422	QFN40(5*5)	卷带	4000/卷	盒装	8000(2 卷/盒)

CI3422 采用卷带包装，包装数量为 4000 颗一卷、芯片 1 脚位于卷带的左上位置，卷带包装尺寸如下图：

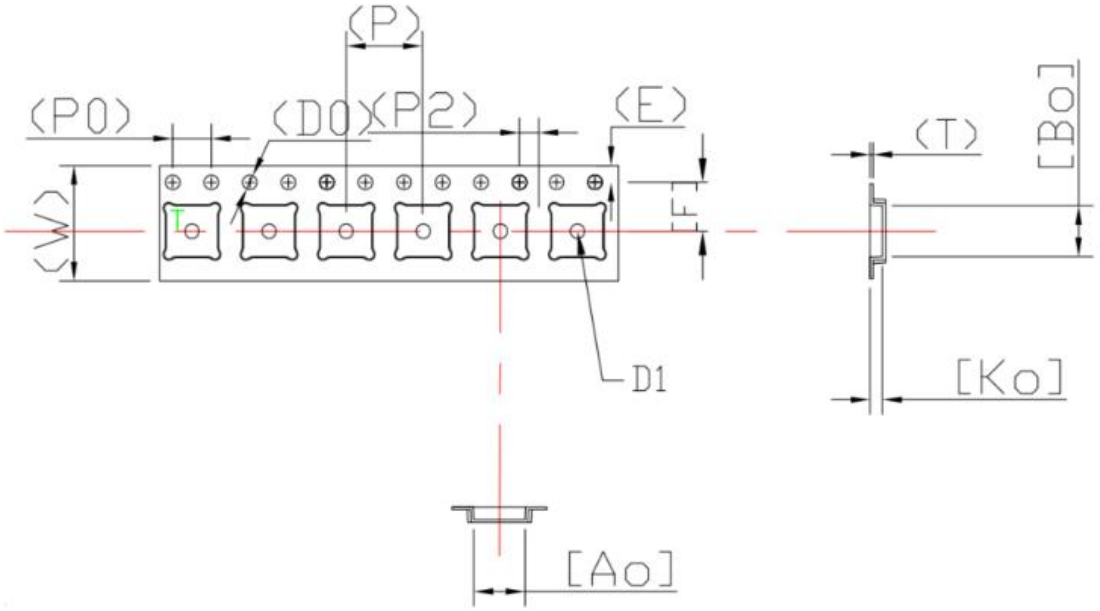


图 14：卷带尺寸图

ITEM	W	A0	A1	B0	B1	K0	K1	E
DIM	12.0	5.30	0.00	5.30	0.00	1.10	0.00	1.75
TOLE	±0.3	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1	±0.1

表 9：卷带尺寸表

ITEM	F	P	P0	P2	D0	D1	T
DIM	5.50	8.0	4.0	2.0	1.50	1.50	0.30
TOLE	±0.1	±0.1	±0.1	+0.10 −0.00	+0.10 −0.00	+0.10 −0.00	±0.05

- 每 10 个料带链孔径累计公差为 ±0.20 毫米。
- 料带弯曲每 100 毫米不可超过 1 毫米。
- AO 和 B0 在同一平面量测且距离压缩带底部 0.3 毫米。
- 所有尺寸符合 EIA-481-D 标准要求。
- 材料：黑色 PS。

- 厚度：0.30±0.05 毫米。
- 13” 纸盘包装长度为：40.6
- 13” 胶盘可包装：5075 pcs

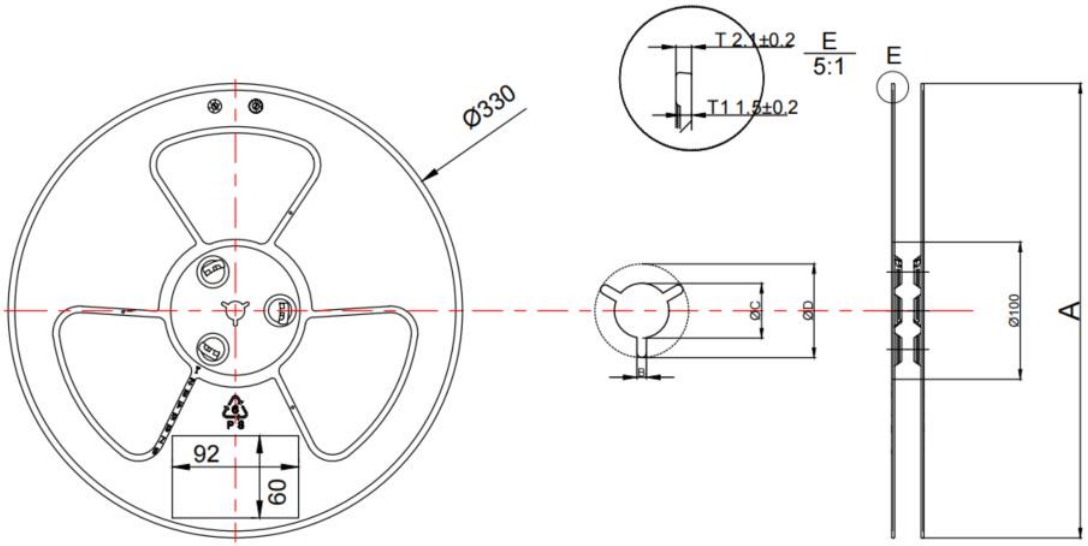


图 15：卷盘尺寸图

A nom	B ±0.2(mm)	C ±0.2(mm)	D ±0.2(mm)	T1 ±0.2(mm)	T2 ±0.2(mm)
330	2.3	13.2	22.5	1,5	2.1

表 10：卷盘尺寸图

8 应用方案

8.1 应用说明

CI3422 外围仅需要少量器件就可以支持各类语音应用。CI3422 可以支持克风差分输入或克风单端输入。用户可以根据设计的应用方案功能、功耗和成本要求选择合适的电路，CI3422 可以外接模拟麦克风、模拟硅麦或者数字麦克风，语音数据经 BNPU 处理后发给主控芯片，芯片支持直流电源供电和电池供电，电压范围：2v～5.5v。CI3422 内置高速 RC 无需外置高频晶振。外置 32.768 k H z 晶振可选用于 RTC 时钟。

CI3422 是一款低功耗、高集成度的智能语音控制芯片，适用于：

- 智能音箱、语音遥控器、语音唤醒类家电
- 物联网智能控制设备（如智能灯、窗帘、小家电）
- 语音交互类可穿戴设备、儿童玩具
- 需要本地语音识别 + 边缘 AI 算力的嵌入式场景

它通过整合音频采集、AI 算力、存储及丰富外设，实现了 “语音采集 - 智能处理 - 控制输出” 的完整闭环，同时具备宽电压供电、灵活时钟配置与多协议互联能力，适配多样化的智能硬件产品需求。

8.2 语音遥控器示例

基于 CI3422 的语音遥控器是典型的电池供电应用，结合 BLE SoC 实现无线通信，核心电路组成：

- 音频采集：外接 1 路模拟麦克风，通过 VAD 实现低功耗声音检测；
- 主控通信：CI3422 通过 UART 与 BLE SoC 通信，将语音识别结果发送至 BLE SoC，由其实现无线指令传输；
- 按键输入：通过 KEYSCAN 接口外接矩阵键盘，支持物理按键 + 语音双控制；
- 红外输出：通过 PWM 接口外接红外发射管，实现红外遥控功能；
- 供电：采用 2 节干电池（3V）供电，直接接 VIN5V 管脚，满足 2V～5.5V 宽电压输入要求

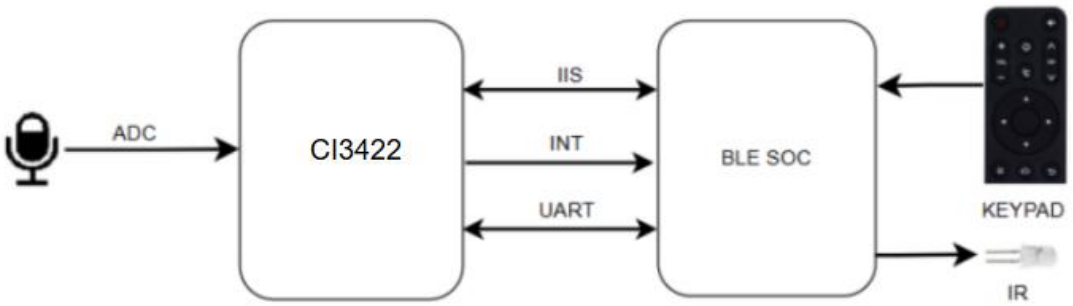


图 16： 语音遥控器应用方案示例图

该方案显著降低系统整体功耗，尤其适用于电池供电的便携式设备；CI3422 内置低功

耗语音活动检测（VAD）模块，可在微安级电流下持续监听，仅在真实语音触发后唤醒主控，避免 BLE SoC 长时间运行带来的能量浪费；同时支持灵活的串口配置与中断响应机制，确保指令识别与系统协同的实时性与可靠性。

9 量产与工艺注意事项

9.1 SMT 焊接工艺

CI3422 采用 QFN40（5x5mm）无铅封装，带散热焊盘，SMT 焊接需遵循无铅焊接标准，核心工艺参数参考炉温曲线图，关键要求：

1、预热阶段：温度升至 150℃，预热时间 60～120s，升温速度≤3℃/s，避免芯片因温度突变受损；

2、回流阶段：温度高于 217℃的时间 60～150s，峰值温度≤260℃时间小于 10s，高于 255℃的时间≤30s；

3、降温阶段：降温速度≤6℃/s，避免封装产生热应力；

4、散热焊盘焊接：散热焊盘需充分焊接，保证芯片散热效果，同时提升焊接机械强度，焊盘覆铜需做过孔设计，增强散热。

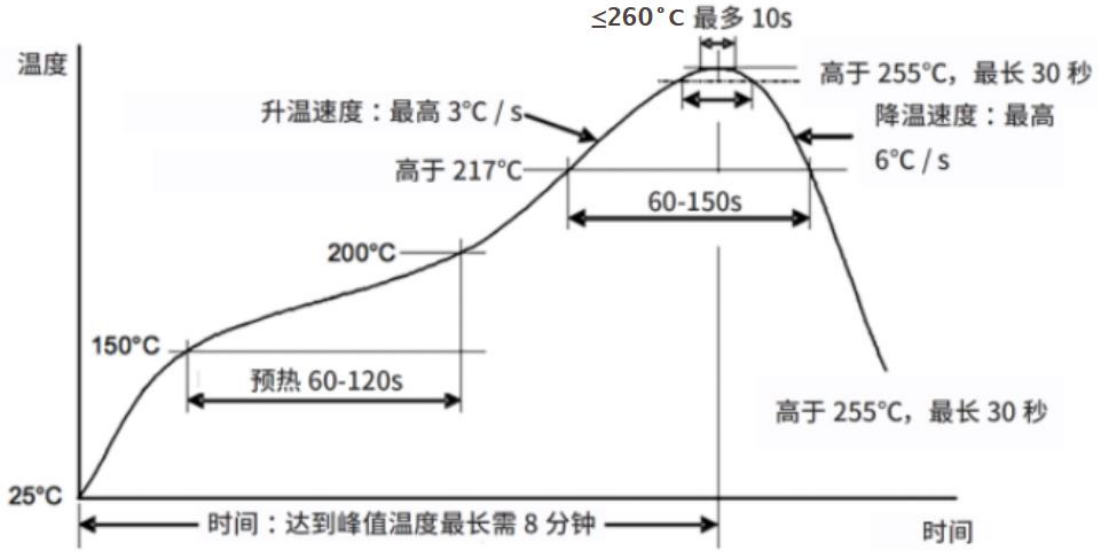


图 17：炉温曲线图

9.2 PCB 布局布线要求

1、电源布局：电源管脚（VINLDO、VINDCDC、AVDD、VDDO9）的滤波电容靠近芯片管脚布局，走线短而粗，降低电源阻抗；模拟电源与数字电源分开布局，减少串扰；

2、地平面设计：采用数字地和模拟地分开的地平面，AGND 与 GND 通过单点接地连接，避免数字噪声干扰模拟音频信号；散热焊盘与数字地平面充分连接，提升散热能力；

3、音频走线：MICP/MICN/DMIC 等音频信号走线需做阻抗匹配（50Ω），短而直，远离时钟线、PWM 线等高速干扰源，必要时加屏蔽层；

4、时钟走线：32.768kHz 晶振、PLL 时钟等走线短而粗，靠近芯片管脚，避免走长线导致时钟信号衰减和干扰；
5、外设走线：UART/IIC/SPI 等串口走线采用差分走线或就近配对走线，减少 EMI 干扰。

9.3 静电防护（ESD）

CI3422 具备 4KV 接触放电的 ESD 增强设计，但量产过程中仍需做好静电防护：
1、芯片取用：操作人员佩戴防静电手环、防静电手套，使用防静电吸笔；
2、包装存储：芯片采用防静电包装，存储在防静电环境中，环境湿度保持在 40%～60%；
3、整机设计：产品整机的对外接口需外接 ESD 保护器件（如 TVS 管），提升系统 ESD 防护等级。

10 修订历史

表 11：修订历史

修订版本	修订内容	修订日期
0.1	初版	2026.04.10
0.2	修改技术描述	2026.05.26
0.3	修改技术描述	2026.06.26
0.4	修改技术描述	2026.06.27
0.5	修改技术描述	2026.09.30
0.6	修改技术描述	2026.10.14

- 启英泰伦保留对本说明书的解释权和更改权，如有更改恕不另行通知！客户在应用设计前应获取最新版本资料，并验证相关信息是否准确和完整。
- 任何半导体产品在特定条件下都有发生失效或故障的可能，芯片应用方有责任在使用本产品进行系统设计和整机制造时，遵守安全标准并采取安全防护措施，以避免可能的产品失效造成人身伤害或财产损失！
- 启英泰伦将竭诚为客户提供更好的产品和更优质的服务！